

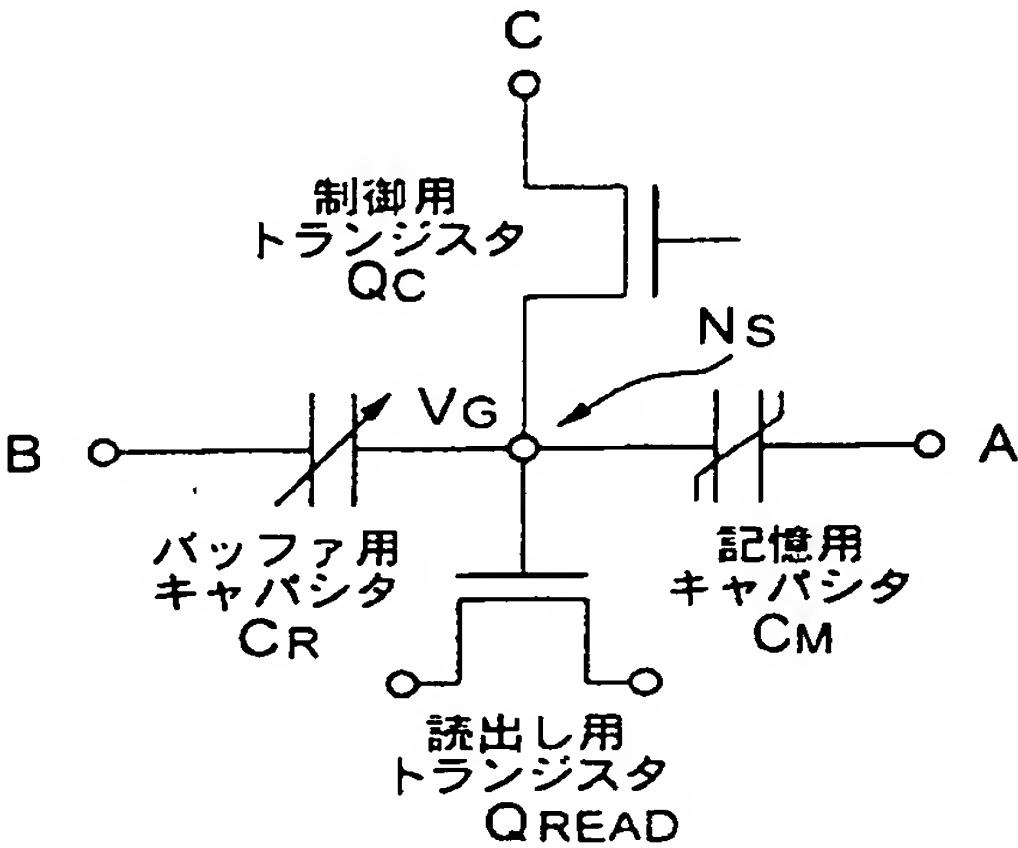
(51) Int.Cl. ⁷	識別記号	F I	テ-マ-ト*(参考)
G 1 1 C 11/22	5 0 1	G 1 1 C 11/22	5 0 1 A 5 B 0 2 4
14/00		11/34	3 5 2 A 5 F 0 8 3
H 0 1 L 27/105		H 0 1 L 27/10	4 4 4 B

審査請求 未請求 請求項の数16 O L (全 35 頁)

(21) 出願番号	特願2000-398293(P2000-398293)	(71) 出願人	000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(22) 出願日	平成12年12月27日 (2000. 12. 27)	(72) 発明者	川久保 隆 神奈川県川崎市幸区小向東芝町1 株式会 社東芝研究開発センター内
		(72) 発明者	阿 部 和 秀 神奈川県川崎市幸区小向東芝町1 株式会 社東芝研究開発センター内
		(74) 代理人	100064285 弁理士 佐藤 一雄 (外3名)
		Fターム(参考)	5B024 AA07 AA15 BA02 BA21 BA25 CA01 CA07 5F083 FR02 GA09 LA12 LA16 ZA21

(54) 【発明の名称】 不揮発性多値記憶装置

(57) 【要約】
【課題】 強誘電体キャパシタを用いた半導体多値記憶装置に関し、新しい電荷量制御方式の書き込み・読出し方法を実現し、超高集積化した半導体記憶装置を提供することを目的とする。
【解決手段】 強誘電体キャパシタに容量比で1／10以上2倍以下のバッファ用キャパシタを直列に接続し、
(1) 書き込み電圧、(2) バッファ用キャパシタ容量、
(3) 書き込み回数、のいずれかを多値に対応させて変化させることにより多値の書き込みを行う。また、さらに読出し用トランジスタのゲート電極を接続し、(1) 読出し電圧、(2) バッファ用キャパシタ容量、(3) 読出し回数、のいずれかを多値に対応させて変化させることにより多値の読出しを行う。



1

【特許請求の範囲】

【請求項1】 強誘電体の分極状態によりデータを記憶する記憶用キャパシタと、
前記記憶用キャパシタに直列に接続されたバッファ用キャパシタと、
前記記憶用キャパシタと前記バッファ用キャパシタとの接続点であるストレージノードにゲート電極が接続された読み出し用トランジスタと、
前記ストレージノードに主電極が接続された制御用トランジスタと、
を備え、

前記バッファ用キャパシタの容量を可変とすることにより、前記記憶用キャパシタの部分分極状態に対応する電荷の書き込みを可能としたことを特徴とする不揮発性多値記憶装置。

【請求項2】 前記ストレージノードに読み出された電荷量を、接続された読み出し用トランジスタを使用して前記バッファ用キャパシタの容量に応じて判定することにより前記記憶用キャパシタの前記部分分極状態を含む多値データの読み出しを行うことを特徴とする請求項1記載の不揮発性多値記憶装置。

【請求項3】 前記バッファ用キャパシタは、複数のキャパシタを直列または並列に接続してなるキャパシタブロックを有し、前記複数のキャパシタの一部を選択することにより容量を可変としたことを特徴とする請求項1または2に記載の不揮発性多値記憶装置。

【請求項4】 強誘電体の分極状態によりデータを記憶する記憶用キャパシタと、
前記記憶用キャパシタに直列に接続されたバッファ用キャパシタと、
前記記憶用キャパシタと前記バッファ用キャパシタとの接続点であるストレージノードにゲート電極が接続された読み出し用トランジスタと、
前記ストレージノードに主電極が接続された制御用トランジスタと、
複数回書き込み制御回路と、
を備え、

前記複数回書き込み制御回路は、前記記憶用キャパシタに対する電荷の書き込みの回数を変化させることにより、前記記憶用キャパシタの部分分極状態と完全分極状態とをそれぞれ形成可能としたことを特徴とする不揮発性多値記憶装置。

【請求項5】 強誘電体の分極状態によりデータを記憶する記憶用キャパシタと、
前記記憶用キャパシタに直列に接続されたバッファ用キャパシタと、
前記記憶用キャパシタと前記バッファ用キャパシタとの接続点であるストレージノードにゲート電極が接続された読み出し用トランジスタと、
前記ストレージノードに主電極が接続された制御用トラ

2

ンジスタと、

複数回読み出し制御回路と、
を備え、

前記複数回読み出し制御回路は、前記記憶用キャパシタに対する電荷の読み出しの回数を変化させることにより、前記記憶用キャパシタの前記部分分極状態を含む多値データの読み出しを行うことを特徴とする不揮発性多値記憶装置。

10 【請求項6】 前記記憶用キャパシタに対する前記電荷の書き込みは、前記バッファ用キャパシタにプリチャージ電圧を印加した後に前記バッファ用キャパシタから前記記憶用キャパシタに電荷を供給するか、
前記直列に接続された前記バッファ用キャパシタと前記記憶用キャパシタの両端に書き込み電圧を印加するか、
のいずれかにより行うことを特徴とする請求項1～5のいずれか1つに記載の不揮発性多値記憶装置。

【請求項7】 前記バッファ用キャパシタにプリチャージ電圧を印加した後に前記記憶用キャパシタから前記バッファ用キャパシタに電荷を読み出すか、
20 前記直列に接続された前記バッファ用キャパシタと前記記憶用キャパシタの両端に読み出し電圧を印加するか、
のいずれかに応じた前記読み出し用トランジスタの動作状態を判定することにより、前記記憶用キャパシタの部分分極状態を含む多値データの読み出しを行うことを特徴とする請求項2～5のいずれか1つに記載の不揮発性多値記憶装置。

【請求項8】 強誘電体の分極状態によりデータを記憶する記憶用キャパシタと、
前記記憶用キャパシタに直列に接続されたバッファ用キャパシタと、
30 前記記憶用キャパシタと前記バッファ用キャパシタとの接続点であるストレージノードにゲート電極が接続された読み出し用トランジスタと、
前記ストレージノードに主電極が接続された制御用トランジスタと、
書き込み電圧制御回路と、
を備え、

前記書き込み電圧制御回路により、前記バッファ用キャパシタに可変プリチャージ電圧を印加した後に前記バッファ用キャパシタから前記記憶用キャパシタに電荷を供給するか、直列に接続された前記バッファ用キャパシタと前記記憶用キャパシタの両端に可変書き込み電圧を印加するか、のいずれかの方法で前記記憶用キャパシタの部分分極状態と完全分極状態とをそれぞれ形成可能としたことを特徴とする不揮発性多値記憶装置。

【請求項9】 強誘電体の分極状態によりデータを記憶する記憶用キャパシタと、
前記記憶用キャパシタに直列に接続されたバッファ用キャパシタと、
50 前記記憶用キャパシタと前記バッファ用キャパシタとの

3

接続点であるストレージノードにゲート電極が接続された読み出し用トランジスタと、
前記ストレージノードに主電極が接続された制御用トランジスタと、
読み出し電圧制御回路と、
を備え、

前記読み出し電圧制御回路により、前記バッファ用キャパシタに可変プリチャージ電圧を印加した後に前記記憶用キャパシタから前記バッファ用キャパシタに電荷を読み出すか、直列に接続された前記バッファ用キャパシタと前記記憶用キャパシタの両端に可変読み出し電圧を印加するか、のいずれかの方法で前記記憶用キャパシタの部分分極状態を含む多値データの読み出しを行うことを特徴とする不揮発性多値記憶装置。

【請求項10】前記プリチャージ電圧または前記読み出し電圧は、3値以上の多値データのいずれかに相当する2レベル以上の電圧であることを特徴とする請求項8または9に記載の不揮発性多値記憶装置。

【請求項11】前記記憶用キャパシタは、互いに並列に接続された複数の記憶セルを有し、
前記複数の記憶セルのそれぞれは、直列に接続された選択用MOSトランジスタと強誘電体キャパシタとを有することを特徴とする請求項1～10のいずれか1つに記載の不揮発性多値記憶装置。

【請求項12】前記記憶用キャパシタは、互いに直列に接続された複数の記憶セルを有し、
前記複数の記憶セルのそれぞれは、並列に接続された選択用MOSトランジスタと強誘電体キャパシタとを有することを特徴とする請求項1～10のいずれか1つに記載の不揮発性多値記憶装置。

【請求項13】前記記憶用キャパシタは、
互いに直列に接続された複数の選択用MOSトランジスタと、
これら選択用トランジスタの共通主電極にそれぞれ接続された蓄積電極と、前記蓄積電極に対向したプレート電極と、前記蓄積電極と前記プレート電極とに挟まれた強誘電体薄膜とを有する記憶用キャパシタと、
からなるNAND型記憶セル列であることを特徴とする請求項1～10のいずれか1つに記載の不揮発性多値記憶装置。

【請求項14】前記バッファ用キャパシタの動作電圧範囲における実効容量は、前記記憶用キャパシタの動作電圧範囲における実効容量の1/10以上2倍以下であることを特徴とする請求項1～13のいずれか1つに記載の不揮発性多値記憶装置。

【請求項15】前記バッファ用キャパシタは、強誘電体キャパシタであることを特徴とする請求項1～14のいずれか1つに記載の不揮発性多値記憶装置。

【請求項16】前記バッファ用キャパシタは、常誘電体キャパシタであることを特徴とする請求項1～15のい

4

ずれか1つに記載の不揮発性多値記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、不揮発性多値記憶装置に関し、特に、強誘電性材料からなる誘電体キャパシタを具備し、ギガビット以上の超大容量の多値記憶が可能な不揮発性多値記憶装置に関する。

【0002】

【従来の技術】近年、記憶媒体として強誘電体薄膜を用いた記憶装置（強誘電体メモリ）の開発が行われており、一部にはすでに実用化されている。強誘電体メモリは不揮発性であり、電源を落とした後も記憶内容が失われず、しかも膜厚が十分薄い場合には自発分極の反転が速く、DRAM（dynamic random access memory）並みの高速の書き込み、読み出しが可能であるなどの特徴を持つ。

【0003】現在、強誘電体薄膜を使用した半導体記憶装置として、大別して2種類の構成が提案されている。これら2種類の構成は、強誘電体膜により、強誘電体キャパシタを形成するものと、強誘電体ゲートトランジスタを形成するものである。

【0004】強誘電体キャパシタを形成する場合は、選択用トランジスタと組み合わせて1ビットのメモリセルとする。一方、強誘電体ゲートトランジスタを形成する場合は、1個の強誘電体ゲートトランジスタ、ないしは1個から2個の選択用トランジスタと組み合わせて1ビットのメモリセルとする。

【0005】このような1メモリセルに1ビットの記憶を行う方式に対して、さらに効率の良い方式として、1メモリセルに多値の記憶を行う方式が提案されている。

【0006】その一つの方法は、1個の強誘電体キャパシタに複数の上部電極を接続して、強誘電体キャパシタに複数の分極状態を生じさせる方法である（例えば、特許公報第854165号公報）。しかしながら、この方法によれば、記憶ビット数に比例して上部電極の数が増大し、強誘電体キャパシタの面積も増大するため、同じチップ面積で高密度化を達成するという本来の目的を達成することは困難である。

【0007】他の方法として、強誘電体キャパシタに複数の書き込み電圧を印加して、複数の分極状態を生じさせる方法がある（例えば、特開平10-312691号公報、特開平11-45584号公報）。

【0008】この記憶方法について、図29を参照しつつ説明する。

【0009】図29は、強誘電体キャパシタの印加電圧と分極量との関係を表わすヒステリシス曲線を例示したグラフ図である。すなわち、まず強誘電体キャパシタに電圧V0を印加してマイナス側に分極を反転させる。その後、プラス側に完全に反転する電圧V1より小さい電圧V2ないしV3を印加することにより、マイナス側の

5

完全反転状態の電荷 P0 およびプラス側の完全反転状態の電荷 P1 に加えて、部分反転状態に相当する電荷 P2 ないし P3 を利用することにより、多値記憶を実現することができる。

【0010】一方、読み出し動作は、通常の 1 トランジスタ 1 キャパシタ型の FRAM (ferroelectric random access memory) や DRAM と同様に、各セルの選択トランジスタをオンにして読み出し電圧を印加することにより、蓄積電荷 P0 ないし P3 をビット線容量に読み出し、蓄積電荷に応じたビット線電位を電位発生器からの電位と比較することにより多値の読み出しを行う。

【0011】

【発明が解決しようとする課題】しかしながら、上述の書き込みおよび読み出し動作により高集積化した強誘電体メモリを実現する上での問題点がいくつかある。

【0012】第 1 の問題点は、書き込み動作に関するものであり、この点に関して図 30 を参照しつつ説明する。強誘電体キャパシタの本来の P-V ヒステリシス曲線においては、図 30 に例示したように、一定の抗電圧 V0 および V1 において分極反転を生じる。バルクの強誘電体単結晶を使用したキャパシタではこのような挙動をとることが古くから知られているし、また薄膜においても CVD 法で作成されたエピタキシャル PZT (チタン酸ジルコン酸鉛: $PbZr_xTi_{1-x}O_3$) キャパシタなどで同様の挙動をとることが知られている。すなわち、強誘電体キャパシタは単一の電圧で分極反転を生じるため、複数の電圧を使用して部分反転状態を実現することは本来不可能である。

【0013】逆にいうと、図 29 に表したように P-V 曲線が傾いている強誘電特性は、強誘電体膜が均一ではなく、何らかの原因で劣化してばらついていることを意味している。強誘電体キャパシタを構成する多くのドメインによって抗電圧のバラツキがあったり、ヒステリシスの中心がずれていたり、また強誘電体と電極の界面に薄い常誘電体層が生成したときなどに、図 29 に表したように傾いた P-V 曲線が観察される。一般的にいえば、P-V 曲線が傾斜している (傾き $\Delta y / \Delta x$ が小さい) ほど分極量、分極の保持特性や疲労特性などの強誘電体特性が劣化しており、逆に、強誘電体の結晶性が良くなるほど P-V 曲線が垂直に立ち上がる (傾き $\Delta y / \Delta x$ が大きい) 傾向にある。1 個のキャパシタの強誘電特性を取り出せば、一見して複数の電圧による多値の書き込みが可能に見える。

【0014】しかしながら、P-V 曲線における傾きの量は本質的に「バラツキ」の成分であり、誘電体膜の成膜条件、微細加工の有無や熱処理の有無によって P-V 曲線が大きく変えることは良く知られている事実である。すなわち、プロセスパラメータのわずかな変動によって抗電圧やその分散は大きく変わるため、多数のキャパシタを作成したウェーハを多数枚作成するという前提で、

6

個々のメモリセルの動作を保証する必要がある強誘電体メモリにおいて、個々の強誘電体キャパシタに電圧制御により多値の書き込みを行うことは本質的に無理であることを理解すべきである。

【0015】第 2 の問題点は、読み出し法に関するものである。1 トランジスタ 1 常誘電体キャパシタからなるメモリセルを使用する DRAM における読み出し感度は、主としてセル容量 CS とビット線容量 CB の比 CS / CB とセンスアンプの感度の相対関係で決定される。すなわち、ビット線容量やセンスアンプの感度を一定とすれば、1 ビットの記憶に必要な最低セル容量があり、これは DRAM では 20 から 40 fC 必要とされている。世代毎に縮小されるセル面積の制約の中で、いかに最低セル容量を確保するかが DRAM 用キャパシタ開発の最大の眼目である。

【0016】1 トランジスタ 1 強誘電体キャパシタを使用した FRAM においても、基本的に同じスキームが当てはまる。DRAM で常誘電体キャパシタに蓄積された電荷をビット線に読み出すのと同様に、FRAM では強誘電体キャパシタの残留分極電荷をビット線に読み出し、センスアンプで判定する。FRAM で使用されている強誘電体膜の PZT と SBT (タンタル酸ストロンチウムビスマス: $SrBi_2Ta_2O_9$) では、残留分極量がそれぞれ $30 \mu C / cm^2$ 、 $15 \mu C / cm^2$ 程度である。従って、最小加工寸法を F とし、セル面積 $8F^2$ 、キャパシタ面積 $3F^2$ のレイアウトで作成したとすると、0.15 μm 世代および 0.20 μm 世代には、セル電荷量がそれぞれ 20 fC まで減少してしまう。つまり、それ以降の縮小は、強誘電体キャパシタセルを 3 次元的に立体化もしない限り無理ということになる。しかし、強誘電体の膜厚が大きいために、立体化は非常に困難である。

【0017】強誘電体多値記憶を使用したメモリの読み出し方法が、上述のように強誘電体キャパシタの電荷をビット線容量に読み出し、ビット線電位と電位発生器からの参照電位とをセンスアンプで比較するという方法を取る限り、2 値読み出しよりも多値読み出しの方がビット当りの電荷量が少なくなり、微細化にともなって必要電荷量がますます確保しづらくなる。したがって、多値化によりメモリを高密度化するという目的を実現することは困難になる。

【0018】上述したように、強誘電体キャパシタを使用した多値メモリについては、既にいくつかの提案があるが、いずれの方法を使用しても従来の 2 値の強誘電体メモリを大きく上回る集積度の多値の強誘電体メモリを実現することは困難である。

【0019】本発明は、かかる課題の認識に基づいてなされたものであり、その目的は、強誘電体キャパシタを使用した半導体多値メモリにおいて、上述した強誘電体キャパシタへの多値書き込みに関する問題点、さらには

7

多値読み出し感度に関する問題点を克服し、2値の強誘電体メモリを大きく上回る集積度を有する不揮発性多値記憶装置を提供することにある。

【0020】

【課題を解決するための手段】本発明者らは、特開2000-156472号公報(P2000-156472A)において、データを記憶するためのキャパシタとして強誘電体キャパシタを用い、“0”レベルと“1”レベルの2値データを記憶する記憶装置を開示した。

【0021】図28は、同公報において開示した記憶装置の要部を表す概念図である。すなわち、同図は、記憶装置のメモリセルの構成を表し、ストレージノードNsにおいて記憶用キャパシタCM(以下「CM」と記す)、参照用キャパシタCREF(以下「CREF」と記す)、制御用トランジスタQC(以下「QC」と記す)の一端、読み出し用トランジスタQREAD(以下「QREAD」と記す)の制御電極が、それぞれ接続された回路を表す。

【0022】この構成によれば、2値データを安定に保持し、スケーリングが可能で高集積化が容易であり、製造プロセスも簡便な記憶装置を提供することができる。

【0023】本発明者は、この構成を元にさらに試作検討を進め、独特の構成を有し、3値以上の多値データを安定して書き込み・読み出しすることができる不揮発性多値記憶装置を発明するに至った。

【0024】すなわち、上記目的を達成するために、本発明の不揮発性多値記憶装置は、強誘電体の分極状態によりデータを記憶する記憶用キャパシタと、前記記憶用キャパシタに直列に接続されたバッファ用キャパシタと、前記記憶用キャパシタと前記バッファ用キャパシタとの接続点であるストレージノードにゲート電極が接続された読み出し用トランジスタと、前記ストレージノードに主電極が接続された制御用トランジスタと、を備え、前記バッファ用キャパシタの容量を可変とすることにより、前記記憶用キャパシタの部分分極状態に対応する電荷の書き込みを可能としたことを特徴とする。

【0025】ここで、前記ストレージノードに読み出された電荷量を、接続された読み出し用トランジスタを使用して前記バッファ用キャパシタの容量に応じて判定することにより前記記憶用キャパシタの前記部分分極状態を含む多値データの読み出しを行うものとすることができる。

【0026】また、前記バッファ用キャパシタは、複数のキャパシタを直列または並列に接続してなるキャパシタブロックを有し、前記複数のキャパシタの一部を選択することにより容量を可変とすることができる。

【0027】または、本発明の不揮発性多値記憶装置は、強誘電体の分極状態によりデータを記憶する記憶用キャパシタと、前記記憶用キャパシタに直列に接続されたバッファ用キャパシタと、前記記憶用キャパシタと前

8

記バッファ用キャパシタとの接続点であるストレージノードにゲート電極が接続された読み出し用トランジスタと、前記ストレージノードに主電極が接続された制御用トランジスタと、複数回書き込み制御回路と、を備え、前記複数回書き込み制御回路は、前記記憶用キャパシタに対する電荷の書き込みの回数を変化させることにより、前記記憶用キャパシタの部分分極状態と完全分極状態とをそれぞれ形成可能とすることができる。

【0028】または、本発明の不揮発性多値記憶装置は、強誘電体の分極状態によりデータを記憶する記憶用キャパシタと、前記記憶用キャパシタに直列に接続されたバッファ用キャパシタと、前記記憶用キャパシタと前記バッファ用キャパシタとの接続点であるストレージノードにゲート電極が接続された読み出し用トランジスタと、前記ストレージノードに主電極が接続された制御用トランジスタと、複数回読み出し制御回路と、を備え、前記複数回読み出し制御回路は、前記記憶用キャパシタに対する電荷の読み出しの回数を変化させることにより、前記記憶用キャパシタの前記部分分極状態を含む多値データの読み出しを行うことを特徴とする。

【0029】ここで、前記記憶用キャパシタに対する前記電荷の書き込みは、前記バッファ用キャパシタにプリチャージ電圧を印加した後に前記バッファ用キャパシタから前記記憶用キャパシタに電荷を供給するか、前記直列に接続された前記バッファ用キャパシタと前記記憶用キャパシタの両端に書き込み電圧を印加するか、のいずれかにより行うものとすることができる。

【0030】また、前記バッファ用キャパシタにプリチャージ電圧を印加した後に前記記憶用キャパシタから前記バッファ用キャパシタに電荷を読み出すか、前記直列に接続された前記バッファ用キャパシタと前記記憶用キャパシタの両端に読み出し電圧を印加するか、のいずれかに応じた前記読み出し用トランジスタの動作状態を判定することにより、前記記憶用キャパシタの部分分極状態を含む多値データの読み出しを行うものとすることができる。

【0031】または、本発明の不揮発性多値記憶装置は、強誘電体の分極状態によりデータを記憶する記憶用キャパシタと、前記記憶用キャパシタに直列に接続されたバッファ用キャパシタと、前記記憶用キャパシタと前記バッファ用キャパシタとの接続点であるストレージノードにゲート電極が接続された読み出し用トランジスタと、前記ストレージノードに主電極が接続された制御用トランジスタと、書き込み電圧制御回路と、を備え、前記書き込み電圧制御回路により、前記バッファ用キャパシタに可変プリチャージ電圧を印加した後に前記バッファ用キャパシタから前記記憶用キャパシタに電荷を供給するか、直列に接続された前記バッファ用キャパシタと前記記憶用キャパシタの両端に可変書き込み電圧を印加するか、のいずれかの方法で前記記憶用キャパシタの部

9

分分極状態と完全分極状態とをそれぞれ形成可能としたことを特徴とする。

【0032】または、本発明の不揮発性多値記憶装置は、強誘電体の分極状態によりデータを記憶する記憶用キャパシタと、前記記憶用キャパシタに直列に接続されたバッファ用キャパシタと、前記記憶用キャパシタと前記バッファ用キャパシタとの接続点であるストレージノードにゲート電極が接続された読み出し用トランジスタと、前記ストレージノードに主電極が接続された制御用トランジスタと、読み出し電圧制御回路と、を備え、前記読み出し電圧制御回路により、前記バッファ用キャパシタに可変プリチャージ電圧を印加した後に前記記憶用キャパシタから前記バッファ用キャパシタに電荷を読み出すか、直列に接続された前記バッファ用キャパシタと前記記憶用キャパシタの両端に可変読み出し電圧を印加するか、のいずれかの方法で前記記憶用キャパシタの部分分極状態を含む多値データの読み出しを行うことを特徴とする。

【0033】ここで、前記プリチャージ電圧または前記読み出し電圧は、3値以上の多値データのいずれかに相当する2レベル以上の電圧であるものとすることができる。

【0034】また、前記記憶用キャパシタは、互いに並列に接続された複数の記憶セルを有し、前記複数の記憶セルのそれぞれは、直列に接続された選択用MOSトランジスタと強誘電体キャパシタとを有するものとするることができる。

【0035】また、前記記憶用キャパシタは、互いに直列に接続された複数の記憶セルを有し、前記複数の記憶セルのそれぞれは、並列に接続された選択用MOSトランジスタと強誘電体キャパシタとを有するものとするることができる。

【0036】また、前記記憶用キャパシタは、互いに直列に接続された複数の選択用MOSトランジスタと、これら選択用トランジスタの共通主電極にそれぞれ接続された蓄積電極と、前記蓄積電極に対向したプレート電極と、前記蓄積電極と前記プレート電極とに挟まれた強誘電体薄膜とを有する記憶用キャパシタと、からなるNAND型記憶セル列であるものとするることができる。

【0037】また、前記バッファ用キャパシタの動作電圧範囲における実効容量は、前記記憶用キャパシタの動作電圧範囲における実効容量の1/10以上2倍以下であるものとすることができる。

【0038】また、前記バッファ用キャパシタは、強誘電体キャパシタか、あるいは、常誘電体キャパシタであるものとすることができる。

【0039】すなわち、本発明の第1の主眼は、従来提案されてきた記憶用強誘電体キャパシタの定電圧多値書き込み方式に代わり、バッファ用キャパシタを使用した疑似定電荷多値書き込み方式を採用したところにある。

10

疑似定電荷書き込み方式を採用することによって、強誘電体本来の角型の良いP-Vヒステリシス曲線を持つ強誘電体キャパシタに対しても多値の電荷量の書き込みが可能になり、またプロセスパラメータの変動によりP-Vヒステリシスの形状が変化したときにおいても、書き込み電荷量の変動がはるかに少なくなるという利点を有する。

【0040】ただし、従来の定電圧書き込みと称される方式においても、ビット線に一旦プリチャージして強誘電体キャパシタに書き込む場合においては、厳密に言えば完全な定電圧書き込みではなく、ビット線容量を介した書き込みである。しかしながら本発明においては、ビット線とは異なる独立した書き込み（および読み出し）専用に使われるバッファ用キャパシタを有し、かつビット線容量がセルの等価容量の5倍以上10倍程度であるのに対し、十分な分解能を有する書き込みおよび読み出し動作を実現するため、バッファ用キャパシタの等価容量を記憶用キャパシタの等価容量の1/10以上2倍以内程度が好ましいという明確な差異が存在する。

【0041】また本発明は、記憶用キャパシタとバッファ用キャパシタを直列に接続し；接続点に読み出し用トランジスタのゲート電極および制御用トランジスタの主電極を接続する手段を有し；読み出しトランジスタにより多値データの判定を行う半導体記憶装置であることを、第二の特徴とする。

【0042】また、上記読み出し動作の際に、2値以上の多値データに相当する複数レベルの電圧を両キャパシタに印加することにより、読み出しトランジスタにより多値データの判定を行うことができる。

【0043】また、上記プリチャージ電圧印加後の読み出し動作、あるいはバッファ用キャパシタと記憶用キャパシタを接続した後の電圧印加読み出し動作を、2値以上の多値データに相当する複数回繰り返すことにより、読み出しトランジスタにより多値データの判定を行うことができる。

【0044】また、上記バッファ用キャパシタが、複数のバッファ用キャパシタを直列ないしは並列に接続してなるキャパシタブロックからなり；2値以上の多値データに相当する個数の上記バッファ用キャパシタを記憶用キャパシタと直列接続した後に電圧を印加することにより、読み出しトランジスタにより多値データの判定を行うことができる。

【0045】一方、本発明の第2の主眼は、従来提案されてきた記憶用強誘電体キャパシタの電荷をビット線容量に呼び出し、ビット線電位と電位発生器からの電位をセンスアンプで比較して多値データの判定を行う方式に代わり、記憶用強誘電体キャパシタの電荷をバッファ用キャパシタに呼び出し、記憶用キャパシタとバッファ用キャパシタの接続点であるストレージノードの電位を読み出し用トランジスタのゲート電極に加えて、読み出し

11

用トランジスタで直接多値データの判定を行う方式を採用したところにある。ビット線容量とセンスアンプを使用する方式においては、従来例の所で詳述したように、セル電荷量に読み出しが可能になる一定の値が要求されるため、強誘電体キャパシタの電荷を多値に分割したり、微細化が進行すると読み出しが困難になるという問題点があった。しかしながら本方式を採用することにより、強誘電体キャパシタの多値に分割した電荷量に対応する容量のバッファ用キャパシタを使用することができるため、多値のビット数を増やしたり、微細化を進めても読み出し感度が問題になることがないという大きな利点を有する。

【0046】また、本発明は、上記記憶用キャパシタが、選択用MOSトランジスタと記憶用強誘電体キャパシタとを直列接続したユニットセルを、サブビット線に複数並列に接続した記憶セルブロックであることを第三の特徴とする。

【0047】すなわち、記憶用キャパシタ、単数ないしは複数のバッファ用キャパシタ、および読み出し用トランジスタからなる多値メモリセルは、通常の1トランジスタ1キャパシタからなる2ビットFRAMメモリセルに比較してメモリセルの占有面積が大きい。これに対し、1個の記憶用キャパシタを、複数の記憶用ユニットセルを含む記憶セルブロックに置きかえることにより、記憶用キャパシタ1個当りのメモリセル占有面積を飛躍的に小さくでき、また、選択用トランジスタを適宜選択することにより、ランダムアクセスが可能という利点も同時に保持することができる。

【0048】また、本発明は、上記記憶用キャパシタが、選択用MOSトランジスタと記憶用強誘電体キャパシタとを並列接続したユニットセルを、複数直列に接続した記憶セル列（チェインセル列と呼ぶ）であることを第四の特徴とする。

【0049】すなわち、記憶用キャパシタ、単数ないしは複数のバッファ用キャパシタ、および読み出し用トランジスタからなる多値メモリセルは、通常の1トランジスタ1キャパシタからなる2ビットFRAMメモリセルに比較してメモリセルの占有面積が大きい。これに対し、1個の記憶用キャパシタを、チェインセル列に置きかえることにより、記憶用キャパシタ1個当りのメモリセル占有面積を飛躍的に小さくでき、また、選択用トランジスタを適宜選択することにより、ランダムアクセスが可能という利点も同時に保持することができる。

【0050】

【発明の実施の形態】以下、図面を参照しつつ本発明の実施の形態について説明する

（第1の実施の形態）まず、本発明の第1の実施の形態として、容量可変のバッファ用誘電体キャパシタを備えた不揮発性多値記憶装置について説明する。

【0051】図1は、本実施形態の不揮発性多値記憶装

12

置の要部構成を表す概念図である。すなわち、同図は、容量可変のバッファ用常誘電体キャパシタを使用した基本的な構成を説明するための回路図である。図1の回路においては、記憶用強誘電体キャパシタCMとバッファ用常誘電体キャパシタCRとが直列に接続され、これらの接続部であるストレージノードNSに、さらに読み出し用トランジスタQREADのゲート電極と、制御用トランジスタQCの主電極とが接続されている。

【0052】まず、この回路の書き込み動作について説明する。

【0053】図2は、この回路の基本的な書き込み動作を説明するためのグラフ図である。

【0054】まず、制御用トランジスタQCをオンにし、端子A-C間に、図2(a)に表したような記憶用強誘電体キャパシタCMの反転電圧以上の正の書き込み電圧VW0を加え、電圧を0に戻すことで、完全に正方向に分極した記憶状態“0”を得ることができる。

【0055】そして、部分分極や負に反転した分極に相当する記憶状態“1”から“3”を書き込む場合は、上記のシーケンスに従って“0”を書き込んだ後、再び制御用トランジスタをオフにしてストレージノードNSをフローティング状態にし、図2(b)～(d)に示すように、それぞれ容量C1～C3をもつバッファ用キャパシタCRを介して端子A-B間に書き込み電圧VWを印加する。これにより、記憶状態“1”から“3”に相当する分極を書き込むことができる。つまり、バッファ用キャパシタCRの容量を可変とし、容量C1の時に記憶状態“1”、容量C2の時に記憶状態“2”、容量C3の時に記憶状態“3”がそれぞれ記憶用キャパシタCMに書き込まれるようにすることができる。

【0056】一方、プリチャージによる書き込み方式も同様に実施することができる。

【0057】まず、上記と同様のシーケンスに従って、図2(a)に表したように、“0”を書き込む。その後、バッファ用キャパシタCRの容量を適宜C1～C3に設定し、制御用トランジスタQCがオンのまま端子C-B間に図2(b)～(d)のいずれかに示すような負の書き込み電圧VWを印加してバッファ用キャパシタCRに読み出し電荷をプリチャージする。

【0058】次に、制御用トランジスタQCをオフにして端子A-B間を同電位にして記憶用キャパシタCMに書き込む。その後、制御用トランジスタQCをオンにしてストレージノードNSをショートして貯まった電荷を逃がす。

【0059】このようにして、記憶用キャパシタCMに、“1”、“2”あるいは“3”に相当する記憶状態を記憶できる。

【0060】次に、この回路の読み出し動作について説明する。

【0061】図3は、本実施形態の回路の基本的な読み

13

出し動作を説明するための動作線図である。まず、制御用トランジスタQCをオンにしてストレージノードNSに溜まっている電荷を端子Cから逃がす。その後、再び制御用トランジスタQCをオフにしてストレージノードNSをフローティングにした後、図3(a)~(c)に表したように、C1~C3の容量を持つバッファ用キャパシタCRを介して読み出し電圧VRを印加する。このとき、記憶された分極“0”から“3”に応じてストレージノードNSに誘起される電圧が変化する。

【0062】例えば、図3(a)に表したように記憶状態“0”であれば、C1~C3のいずれの容量を持つバッファ用キャパシタCRを介しても読み出し用トランジスタQREADはオンになる。

【0063】また、図3(b)に表したように記憶状態“1”であれば、C3の容量を持つバッファ用キャパシタCRを介した場合のみ、読み出し用トランジスタQREADはオフになり、それ以外のC2、C3の容量を持つバッファ用キャパシタCRを介した場合はオンになる。

【0064】このようにして、3種類の容量を持つバッファ用キャパシタCRを設けることにより、4値の記憶状態を判別することが可能になる。もちろん3回の読み出し動作が必ず必要なわけではなく、まずC2の容量を持つバッファ用キャパシタCRを使用して上位ビットである“0”、“1”と“2”、“3”を判別し、その結果に応じてC1あるいはC3の容量を持つバッファ用キャパシタCRを使用して“0”と“1”、あるいは“2”と“3”とを判別するといった工夫も可能である。

【0065】次に、本実施形態の変型例として、バッファ用キャパシタCRとして、常誘電体キャパシタの代わりに強誘電体キャパシタを採用した構成について説明する。

【0066】図4は、本変形例にかかる不揮発性多値記憶装置の要部構成を表す概念図である。また、図5は、この回路に基づく書き込み動作線図であり、図6乃至図7は、その読み出し動作線図である。

【0067】本変形例の構成は、図4に例示したように、バッファ用キャパシタCRとして、常誘電体キャパシタの代わりに強誘電体キャパシタを採用した点を除けば、図1の構成と概略同様である。

【0068】また、その動作も、図1に例示した回路の書き込みおよび読み出し動作とほとんど同様である。唯一の相違点は、プリチャージ、書き込み、および読み出し電圧印加動作を行う直前に、制御用トランジスタQCをオンにし、バッファ用キャパシタCRにプリチャージ、書き込み、および読み出し動作電圧と逆方向の反転電圧を端子C-B間に印加し、端子C-B間を同電位に戻した後に制御用トランジスタをオフにしてストレージノードNSをフローティングにする必要があるところである。

14

それ以外は全く同様に、図5に表したような多値に対応した書き込み動作、および図6乃至図7に表したような多値に対応した読み出し動作を行うことができる。

【0069】また、バッファ用キャパシタCRとして、強誘電体キャパシタを使用した場合は、読み出し後の再書き込み動作を簡単に行うことができる。

【0070】図8は、記憶用キャパシタCMに分極状態“2”が記憶されている場合の、読み出し/再書き込み動作に対応した動作線図である。読み出し電圧VRを印加して記憶用キャパシタCMからバッファ用キャパシタCRに読み出された電荷は、逆方向の再書き込み電圧VWを印加して0に戻すことにより、容易に初期状態である分極“2”に再書き込みすることが可能である。特に、バッファ用強誘電体キャパシタCRの角型比が良い場合は、再書き込み電圧VWを精密に制御しなくても正確な再書き込みが可能になる。

【0071】以上、本実施形態の不揮発性多値記憶装置の概念構成、基本的な書き込み動作、読み出し動作について説明した。

【0072】次に、バッファ用キャパシタCRの容量を可変にするための、バッファ用キャパシタブロックの具体例について説明する。

【0073】図9は、複数の直列ないしは並列接続したバッファ用キャパシタからなる、可変容量バッファ用キャパシタブロックの構成例である。

【0074】まず、図9(a)は、複数のバッファ用常誘電体キャパシタCR0、CR1、CR2...をNAND接続した構成を例示する。この構成においては、バッファ用キャパシタ選択トランジスタQR0、QR1、QR2...を適宜オンにすることにより、複数のバッファ用キャパシタCR0、CR1、CR2...を任意に並列接続してバッファ容量を増やすことができる。

【0075】図9(b)は、複数のバッファ用強誘電体キャパシタCR0、CR1、CR2...をNAND接続した構成を例示する。この構成においては、バッファ用キャパシタ選択トランジスタQR0、QR1、QR2...を適宜オンにすることにより、複数のバッファ用強誘電体キャパシタCR0、CR1、CR2...を任意に並列接続してバッファ容量を増やすことができる。

【0076】図9(c)は、バッファ用キャパシタCR0、CR1、CR2...と選択用トランジスタQR0、QR1、QR2...とを並列接続したものを1ユニットとし、このユニットを複数個直列接続した(いわゆるチェーン接続)した構成を例示する。このバッファ用キャパシタブロックにおいては、選択トランジスタQR0、QR1、QR2...を適宜オフにすることにより、複数のバッファ用常誘電体キャパシタCR0、CR1、CR2...を任意に直列接続してバッファ容量を減少させることができる。

【0077】以上説明したように、本実施形態の不揮発

性多値記憶装置の基本構成は、記憶用キャパシタCM、可変容量のバッファ用キャパシタCR、および読み出し用トランジスタQREADからなる多値メモリセルからなり、通常の1トランジスタ1キャパシタからなる2ビットFRAMメモリセルに比較してメモリセルの占有面積がいくぶん大きい。

【0078】これに対し、記憶用キャパシタCMを、複数の記憶用ユニットセルを含む記憶セルブロックに置きかえることにより、記憶用キャパシタ1個当りのメモリセル占有面積を飛躍的に小さくでき、また、選択用トランジスタを適宜選択することにより、ランダムアクセスが可能という利点も同時に保持することができる。

【0079】図10は、記憶用キャパシタCMを、複数の記憶用キャパシタからなるメモリセルブロックにより構成した具体例を表す概念図である。

【0080】すなわち、同図(a)は、選択用MOSトランジスタQM0、QM1、QM2・・・と記憶用強誘電体キャパシタCM0、CM1、CM2・・・とをそれぞれひとつずつ直列接続したユニットセルを、サブビット線SBLに複数並列に接続した記憶セルブロックCMの構成例である。セルブロック中の書き込みないし読み出したいユニットセルの選択用トランジスタQM0、QM1、QM2・・・をオンにすることにより、目的の記憶用キャパシタCM0、CM1、CM2・・・を選択することができる。なお、この回路においてはブロック選択トランジスタQMSが設けられ、記憶セルブロック全体を選択可能としている。

【0081】一方、図10(b)は、選択用MOSトランジスタQM0、QM1、QM2・・・と記憶用強誘電体キャパシタCM0、CM1、CM2・・・とを並列接続したユニットセルを、複数直列に接続した記憶セルブロック(「チェインセルブロック」と称する)CMの構成例である。セルブロック中の書き込みないし読み出したいユニットセルの選択用トランジスタをオフにし、それ以外の選択用トランジスタを全てオンにすることにより、目的の記憶用キャパシタを選択することができる。

【0082】なお、記憶用の強誘電体キャパシタCMとしては、PZT(チタン酸ジルコン酸鉛)系、SBT(チタン酸ストロンチウム・ビスマス)系、エピタキシャルBSTO(チタン酸バリウム・ストロンチウム)系の強誘電体膜からなる薄膜キャパシタを使用することが可能である。安定性や膜厚などの点では、特にエピタキシャルBSTO系のキャパシタが優れている。

【0083】また、バッファ用のキャパシタCRとしては、酸化シリコン、酸化タンタル、BSTOを使用した常誘電体キャパシタや、上述の強誘電体キャパシタを使用することができる。また、サブビット線容量のような、配線容量をバッファ用のキャパシタとして使用することはもちろんである。

【0084】(第2の実施の形態)次に、本発明の第2の実施の形態として、容量一定のバッファ用キャパシタを設け、ほぼ一定の書き込み/読み出し電圧を、多値に対応する回数だけ複数回印加する構成について説明する。

【0085】図11は、本実施形態の不揮発性多値記憶装置の要部構成を表す概念図である。

【0086】すなわち、本実施形態においては、記憶用強誘電体キャパシタCMとバッファ用誘電体キャパシタCRとが直列に接続され、これらの接続部であるストレージノードNSに、さらに読み出し用トランジスタQREADのゲート電極と、制御用トランジスタQCの主電極とが接続されている。そして、制御用トランジスタQCのゲートには、複数回書き込み制御回路CWが接続され、以下に詳述する動作を行うためのゲート制御信号が適宜入力される。

【0087】次に、本実施形態の回路の書き込み動作について説明する。

【0088】図12は、図11の回路の書き込み動作を表す動作線図である。

【0089】まず、制御用トランジスタQCをオンにし、端子A-C間に図12の(a)に表したように、記憶用強誘電体キャパシタCMに反転電圧以上の正の書き込み電圧VW0を加え、その後、電圧を0に戻すことで、完全に正方向に分極した記憶状態“0”を得ることができる。

【0090】“0”を書き込んだ後、部分分極や負に反転した分極に相当する記憶状態“1”乃至“3”のいずれかを書き込むためには、制御用トランジスタQCをオフにしてストレージノードNSをフローティング状態にし、端子A-B間に図12(b)に表したような負の書き込み電圧VWを印加し、その後、書き込み電圧を0に戻し、制御用トランジスタQCをオンにしてストレージノードNSをショートして貯まった電荷を逃がす、というシーケンスを複数回繰り返す。この一連の動作の制御は、複数回書き込み制御回路CWからの制御信号に基づいて実行される。このようにして、図12(b)～(d)に表したように、順に“1”、“2”および“3”に相当する記憶状態を達成できる。

【0091】また、プリチャージによる書き込み方式も全く同様である。

【0092】まず、上記と同様のシーケンスに従って、図12(a)に表したように、“0”を書き込んだ後、制御用トランジスタQCがオンのまま端子C-B間に図13(b)に示すような負の書き込み電圧VWを印加してバッファ用キャパシタCRに読み出し電荷をプリチャージする。そして、複数回書き込み制御回路CWからの制御信号に基づいて制御用トランジスタQCをオフにして端子A-B間を同電位にし、制御用トランジスタQCをオンにしてストレージノードNSをショートして

10

20

30

40

50

17

貯まった電荷を逃がす、というシーケンスを複数回繰り返すことで、図12(b)乃至(d)に表したように、順に“1”、“2”および“3”に相当する記憶状態を達成できる。

【0093】このような一連の動作も、複数回書き込み制御回路CWからの制御信号に基づいて実行される。

【0094】次に、図11に例示した回路における複数回の読み出し動作について、図13の動作線図を参照しつつ説明する。

【0095】まず、制御用トランジスタQCをオンにしてストレージノードNSに溜まっている電荷を端子Cから逃がし、制御用トランジスタQCをオフにしてストレージノードNSをフローティングにした後、図13

(a)示すように1回目の読み出し電圧VRを印加する。このとき、記憶用キャパシタCMに記憶された分極“0”から“3”に応じて、ストレージノードNSに誘起される電圧は変化する。記憶状態“0”ないし“2”であれば読み出し用トランジスタQREADはオンになり、記憶状態“3”の場合のみ、読み出し用トランジスタQREADはオフになる。

【0096】この後、印加電圧を0に戻すことにより、1回分の分極が読み出され、記憶状態“0”は“1”に、“1”は“2”に、“2”は“3”に変化する。

【0097】その後、図13(b)乃至(c)に例示したように、上述した操作を繰り返すことによって、記憶用キャパシタCMの記憶状態を順次判別することができる。

【0098】これら複数回の読み出し動作は、複数回書き込み制御回路CWからの制御信号により実施するようにしても良く、または、制御回路CWとは別に、図示しない読み出し制御回路を設けても良い。

【0099】以上説明したように、本実施形態によれば、複数回の書き込み／読み出し動作を行うため、記憶装置の動作速度は多値に多重した分だけ遅くなるが、従来の2値の書き込み／読み出しの場合と同様の低電圧動作で大きな閾値電圧範囲を得ることができるという大きなメリットがある。

【0100】(第3の実施の形態)次に、本発明の第3の実施の形態として、容量一定のバッファ用キャパシタを設け、このキャパシタに対して、多値に対応する書き込み／読み出し電圧を印加する構成について説明する。

【0101】図14は、本実施形態にかかる不揮発性多値記憶装置の要部構成を例示する概念図である。

【0102】すなわち、本実施形態においても、記憶用強誘電体キャパシタCMとバッファ用誘電体キャパシタCRとが直列に接続され、これらの接続部であるストレージノードNSに、さらに読み出し用トランジスタQREADのゲート電極と、制御用トランジスタQCの主電極とが接続されている。そして、バッファ用キャパシタCMの一端Bと制御用トランジスタQCのゲートには、書

18

き込み電圧制御回路CAが接続され、以下に詳述する動作を行うためのゲート制御信号が適宜入力される。

【0103】図15は、図14の回路の書き込み動作を説明するための動作線図である。

【0104】すなわち、まず制御用トランジスタQCをオンにし、端子A-C間に図16(a)に表したように記憶用強誘電体キャパシタCMに対して、反転電圧以上の正の書き込み電圧VW0を加え、さらに電圧を0に戻すことによって、完全に正方向に分極した記憶状態“0”を得ることができる。

【0105】次に、部分分極や負に反転した分極に相当する記憶状態“1”から“3”を書き込む。具体的には、上記のシーケンスに従って記憶用キャパシタCMに“0”を書き込んだ後、制御用トランジスタQCをオフにしてストレージノードNSをフローティング状態にし、端子A-B間に図15の(b)～(d)に例示したような負の書き込み電圧VW1からVW3を印加することで達成できる。

【0106】一連の動作において、制御用トランジスタQCのオンオフ制御や、書き込み電圧VWの大きさの制御は、書き込み電圧制御回路CAにより実行される。

【0107】一方、プリチャージによる書き込み方法を採用する場合も全く同様である。

【0108】すなわち、上記のシーケンスに従って“0”を書き込んだ後、制御用トランジスタQCがオンのまま端子C-B間に図15の(b)～(d)に示すような負の書き込み電圧VW1からVW3を印加してバッファ用キャパシタに読み出し電荷をプリチャージし、制御用トランジスタをオフにして端子A-B間を同電位にすることで、上述した直接読み出し電圧を印加する場合と全く同様に部分分極状態への書き込みが達成できる。

【0109】次に、図14の回路における読み出し動作について説明する。

【0110】図16は、図14の回路の読み出し動作を説明するための動作線図である。なお、図16において「VT」と記した電圧は読み出し用トランジスタQREADの閾値電圧を表し、VT以上の電圧では読み出し用トランジスタはオンに、以下ではオフになるものとする。

【0111】まず、制御用トランジスタQCをオンにしてストレージノードNSに溜まっている電荷を端子Cから逃がす。その後、制御用トランジスタQCをオフにしてストレージノードNSをフローティングにした後、図16(a)～(c)に表したように、読み出し電圧VR1～VR3を順次印加する。このとき、記憶された分極“0”から“3”に応じてストレージノードNSに誘起される電圧は変化する。

【0112】例えば、図16(a)に表したように、記憶状態“0”であれば、電圧VR1～VR3のいずれの電圧を印加しても読み出し用トランジスタQREADは

19

オンになる。また、図16(b)に表したように、記憶状態“1”であれば、電圧VR1を印加した場合のみ読み出し用トランジスタQREADはオフになり、それ以外のVR2、VR3の電圧を印加した場合はオンになる。一連の動作のシーケンスは、書き込み電圧制御回路CAまたは、これとは別に設けられた制御回路により実施される。

【0113】このようにして、3レベルの読み出し電圧を印加することにより、4値の記憶状態を判別することが可能になる。もちろん、3回の読み出し動作が必ず必要なわけではなく、まずVR2を印加して上位ビットである“0”、“1”と“2”、“3”を判別し、その結果に応じてVR1あるいはVR3を印加して“0”と“1”あるいは“2”と“3”を判別するといった工夫も可能である。

【0114】以上、本発明の第1乃至第3の実施形態として、本発明の基本的構成を説明した。次に、図面を参照しつつ、本発明の第1乃至第3の実施例について説明する。以下の説明に関して参照する図面においては、同一または類似の要素には同一または類似の符号を付している。ただし、図面は模式的なものであり、厚みと平面寸法の関係、各層の厚みの比率等は現実のものとは異なることに留意すべきである。したがって、具体的な厚みや寸法は、以下の説明を参酌しつつ適宜判断すべきものである。また、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることはもちろんである。

【0115】(実施例1)図17は、本発明の第1の実施例に係る不揮発性多値記憶装置の主要部分の回路構成を表す概念図である。この記憶装置においては、記憶用キャパシタおよびバッファ用キャパシタとして、強誘電体キャパシタが用いられている。

【0116】図17に表したように、本実施例に係る記憶装置は、直列接続された複数個の選択用MOSトランジスタQM0、QM1、QM2、QM3、……、QM15と、これら選択用トランジスタの共通主電極毎に並列に接続された複数個の記憶用強誘電体キャパシタCM0、CM1、CM2、CM3、……、CM15とからなるチェーン型記憶セルブロックと、この記憶セルブロックの端部に接続したブロック選択トランジスタQBSと、直列接続した複数個のバッファ選択用トランジスタQR0、QR1、QR2と、これらバッファ選択用トランジスタの共通主電極毎に接続された複数個のバッファ用強誘電体キャパシタCR0、CR1、CR2とからなるNAND型バッファセルブロックと、記憶セルブロックとバッファセルブロックの接続点であるストレージノードNSに接続したゲート電極を有する読み出し用トランジスタQREADとを少なくとも具備したメモリセルブロックを基本ユニットとして構成している。

【0117】各記憶用キャパシタCM0、CM1、CM

20

2、CM3、……、CM15は、それぞれ記憶セル選択用トランジスタの第1の主電極に接続された第1の電極、この第1の電極に対向して設置され、選択用トランジスタの第2の主電極に接続された第2の電極、およびこれらの第1、第2の電極に挟まれた強誘電体薄膜とを少なくとも具備している。また、各バッファ用キャパシタCR0、CR1、CR2は、それぞれバッファセル選択用トランジスタの共通主電極に接続された第1の電極、この第1の電極に対向して設置され、プレート線PLに接続された第2の電極、およびこれらの第1、第2の電極に挟まれた強誘電体薄膜とを少なくとも具備している。

【0118】そして、このチェーン型記憶セル列を複数個マトリックス状に配置している。記憶セル選択用トランジスタQM0、QM1、QM2、QM3、……、QM15の各ゲート電極には、ワード線WL0、WL1、WL2、WL3、……、WL15が接続されている。

【0119】同様に、バッファセル選択用トランジスタQR0、QR1、QR2の各ゲート電極には、ワード線RL0、RL1、RL2が接続されている。各メモリセルブロックの読み出し用トランジスタQREADの一方の主電極には、読み出し用電源線VLが、他方の主電極には読み出し出力線SLが接続されている。

【0120】図18は、周辺回路との接続関係を表す概念図である。各メモリセルのワード線WL0、WL1、WL2、WL3、……、WL15は、ローデコードに、各バッファセルのワード線RL0、RL1、RL2は、マルチビットデコードに、各ビット線BL0、BL1、…はカラムデコードに接続されている。

【0121】図17および図18に表した回路構成において、BLx (x=0、1)とWLy (y=0、1、2、…、15)の交点で示される所望の記憶セルを選択するには、WLy以外のワード線を全て“1(ハイレベル)”としてQMy以外の選択用トランジスタをすべてオンに、ワード線WLyを“0(ローレベル)”として選択用トランジスタQmyをオフにし、BLxに電位を加えることで達成される。

【0122】また、バッファセルブロック内の各バッファ用キャパシタCR0からまでを選択するには、RL0からWLzまでのワード線を全て“1(ハイレベル)”としてQR0からQRzまでのバッファセル選択用トランジスタをすべてオンに、ワード線RLz+1を“0(ローレベル)”としてバッファセル選択用トランジスタQRz+1をオフにすることで達成される。

【0123】図19は、本実施例の記憶装置の読み出し／書き込みシーケンスを表すタイミングチャートである。

【0124】まず、読み出し／書き込み動作を行う前に、全てのバッファ用強誘電体キャパシタCR0、CR1、CR2の分極動作を行う。すなわち、ビット線BL

10

20

30

40

50

21

xをハイレベルに、ブロック選択トランジスタQBSをオンにした後、バッファセル選択用トランジスタQR0、QR1、QR2をオンにしてバッファ用強誘電体キャパシタCR0、CR1、CR2を分極する。

【0125】次に、選択する記憶セルの記憶セル選択用トランジスタQMyをオフにし、ストレージノードをフローティングにし、ビット線BLxをローレベル、プレート線PLをハイレベルにして、順次多値の読み出しを行う。

【0126】すなわち、まずバッファセル0のトランジスタQR0をオンにした段階で読み出し用トランジスタQREADがオンになれば記憶値は“0”、QR1をオンで読み出せれば“1”、QR2をオンで読み出せれば“2”、それでも読み出し用トランジスタQREADがオフであれば“3”であることが分かる。

【0127】次に、記憶用キャパシタCMyに対する再書き込みは、ビット線BLxをハイレベル、プレート線PLをローレベルにして、バッファ用キャパシタに読み出した電荷を記憶用キャパシタに戻すことによって行われる。

【0128】図20(a)は、本実施例の不揮発性多値記憶装置の要部平面図であり、図20(b)は、同図(a)のB-B'線断面において下部電極LEレベルよりも下層のみを表した概念図である。

【0129】ビット線に接続された1個のブロック内に、16個の記憶セル、読み出しトランジスタQREAD、および3個のバッファ用セルが含まれる。記憶セルの寸法は $4F^2$ 、ブロックあたりの記憶セル以外の領域は $34F^2$ であるから、メモリセル1個当たり $(4+34/32)F^2$ になる。本実施例では強誘電体キャパシタとして $20\mu C/cm^2$ の残留分極を持つものを使用したため、32個の記憶セルを直列に接続しても安定に動作することが分かった。したがって、メモリセル1個当たり $5.9F^2$ 、1ビット当たり $1.59F^2$ の寸法になった。

【0130】また、図20(b)に表したように、本実施例の記憶装置は、シリコン基板上に形成されたn-MOS型のトランジスタによって構成されている。各記憶セル選択用トランジスタQM0、QM1、QM2、QM3、……、QM15の主電極領域には、下部電極LE、上部電極TEおよび強誘電体膜からなる記憶用キャパシタCM0、CM1、CM2、CM3、……、CM15が形成されている。同様に、各バッファセル選択用トランジスタQR0、QR1、QR2の主電極領域には下部電極LE、上部電極TEおよび強誘電体膜からなるバッファ用キャパシタCR0、CR1、CR2が形成されている。このような回路構成により、非常に高集積化された不揮発性多値メモリの動作が確認できた。

【0131】(実施例2) 図21は、本発明の第2の実施例に係る不揮発性多値記憶装置の主要部分の回路構成

22

を表す概念図である。この記憶装置においては、記憶用キャパシタとして強誘電体キャパシタが、バッファ用キャパシタとして常誘電体キャパシタが用いられている。

【0132】図21に表したように、本実施例に係る記憶装置は、並列接続された複数個の選択用MOSトランジスタQM0、QM1、QM2、QM3、……、QM15と、これら選択用トランジスタの各主電極に直列に接続された複数個の記憶用強誘電体キャパシタCM0、CM1、CM2、CM3、……、CM15とからなる記憶セルブロックと、バッファセル用トランジスタQRと、これらバッファセル用トランジスタの主電極に接続されたバッファ用キャパシタCRからなるバッファセルと、制御用トランジスタQCと、記憶セルブロックとバッファセルの接続点であるストレージノードSNに接続したゲート電極を有する読み出し用トランジスタQREADとを少なくとも具備したメモリセルブロックを基本ユニットとして構成している。

【0133】各記憶用キャパシタCM0、CM1、CM2、CM3、……、CM15は、それぞれ記憶セル選択用トランジスタの第1の主電極に接続された第1の電極、この第1の電極に対向して設置され、ストレージノードに接続された第2の電極、およびこれらの第1、第2の電極に挟まれた強誘電体薄膜とを少なくとも具備している。また、バッファ用キャパシタCRは、バッファセル選択用トランジスタの主電極に接続された第1の電極、この第1の電極に対向して設置され、ストレージノードに接続された第2の電極、およびこれらの第1、第2の電極に挟まれた誘電体薄膜とを少なくとも具備している。

【0134】そして、この記憶セルブロックを複数個マトリックス状に配置している。記憶セル選択用トランジスタQM0、QM1、QM2、QM3、……、QM15の各ゲート電極には、ワード線WL0、WL1、WL2、WL3、……、WL15が接続されている。

【0135】同様に、バッファセル用トランジスタQRのゲート電極には、ワード線RLが接続されている。また、制御用トランジスタQCのゲート電極には、ワード線CLが接続されている。各メモリセルブロックの読み出し用トランジスタQREADの一方の主電極には、読み出し用電源線VLが、他方の主電極には読み出し出力線SLが接続されている。

【0136】図22は、周辺回路との接続関係を表す概念図である。各メモリセルのワード線WL0、WL1、WL2、WL3、……、WL15は、ローデコーダに、バッファセルのワード線RLおよび制御用トランジスタのワード線CLはマルチビットデコーダに、各ビット線BL0、BL1、…はカラムデコーダに接続されている。

【0137】図21および図22に表した回路構成において、BLx (x=0、1)とWLy (y=0、1、

23

2、…、15)の交点で示される所望の記憶セルを選択するには、 WL_y 以外のワード線を全て“0(ローレベル)”として QM_y 以外の選択用トランジスタをすべてオフに、ワード線 WL_y を“1(ハイレベル)”として選択用トランジスタ Q_{my} をオンにし、 BL_x に電位を加えることで達成される。

【0138】図23は、本実施例の記憶装置の読み出しシーケンスを表すタイミングチャートである。

【0139】読み出しを行うには、選択したビット線 BL_x をハイレベル、プレート線 $0PL0$ をローレベルにして、順次多値の読み出しを行う。

【0140】まず選択する記憶セル選択用トランジスタ QM_y および参照セル用トランジスタ RL をオンにして第1回目の読み出しを行い、読出し用トランジスタ Q_{READ} がオンになれば記憶値は“3”と判断できる。次に制御用トランジスタをオンにしてストレージノードをショートして第1回目の読出し電荷を逃した後、再びフローティングにし、記憶セル選択用トランジスタ QM_y および参照セル用トランジスタ RL をオンにして第2回目の読み出しを行い、読出し用トランジスタ Q_{READ} がオンになれば記憶値は“2”と判断できる。同様のシーケンスを繰返し、第3回目の読み出しでも読出し用トランジスタ Q_{READ} がオンになれば記憶値は“1”、オフであれば“0”であることが解る。

【0141】図24は、本実施例の記憶装置の書き込みシーケンスを表すタイミングチャートである。

【0142】書き込みを行うには、まず選択したビット線 BL_x をローレベル、プレート線 $1PL1$ をハイレベルにして、記憶用キャパシタに直接電圧を印加して

“0”の書き込みを行う。次に読み出し動作と全く同様に、選択したビット線 BL_x をハイレベル、プレート線 $0PL0$ をローレベルにして、順次“1”、“2”の書き込みを行う。

【0143】図25(a)は、本実施例の不揮発性多値記憶装置の要部平面図であり、図25(b)は、同図

(a)のB-B'線断面において下部電極 LE レベルよりも下層のみを表した概念図である。

【0144】ビット線に接続された1個のブロック内に、16個の記憶セル、読み出しトランジスタ Q_{READ} 、バッファ用セル、および制御用トランジスタが含まれる。記憶セルの寸法は $6F^2$ 、ブロックあたりの記憶セル以外の領域は $24F^2$ であるから、メモリセル1個当たり $(6+24/16)F^2$ になる。本実施例では強誘電体キャパシタとして $20\mu C/cm^2$ の残留分極を持つものを使用したため、16個の記憶セルを直列に接続しても安定に動作することが分かった。したがって、メモリセル1個当たり $7.5F^2$ 、1ビット当たり $1.88F^2$ の寸法になった。

【0145】また、図25(b)に表したように、本実施例の記憶装置は、シリコン基板上に形成された $n-M$

24

OS型のトランジスタによって構成されている。各記憶セル選択用トランジスタ QM_0 、 QM_1 、 QM_2 、 QM_3 、……、 QM_{15} の主電極領域には、下部電極 LE 、上部電極 TE および強誘電体膜からなる記憶用キャパシタ CM_0 、 CM_1 、 CM_2 、 CM_3 、……、 CM_{15} が形成されている。同様に、バッファセル用トランジスタ QR の主電極領域には下部電極 LE 、上部電極 TE および誘電体膜からなるバッファ用キャパシタ CR が形成されているこのような回路構成により、非常に高集積化された不揮発性多値メモリの動作が確認できた。

【0146】(実施例3)本発明の第3の実施例は、基本的なメモリセルブロックは第2の実施例と全く同様であるが、周辺回路として可変電圧発生器を付加し、第2の実施例における複数回書き込み/読み出し方式に代り、可変電圧による多値の書き込み/読み出しを可能にした実施例である。

【0147】図26は、周辺回路との接続関係を表す概念図である。各メモリセルのワード線 WL_0 、 WL_1 、 WL_2 、 WL_3 、……、 WL_{15} は、ローデコードに、バッファセルのワード線 RL および制御用トランジスタのワード線 CL はマルチビットデコードに、各ビット線 BL_0 、 BL_1 、…はカラムデコードに接続されている。また、可変電圧発生器がマルチビットデコードおよびカラムデコードに接続されている。

【0148】図27は、本実施例の記憶装置の読み出し/再書き込みシーケンスを表すタイミングチャートである。

【0149】読み出しを行うには、まず選択する記憶セル選択用トランジスタ QM_y および参照セル用トランジスタ QL をオンにする。次に、選択したビット線 BL_x に第1の印加電圧 V_1 を印加して第1回目の読み出しを行い、読出し用トランジスタ Q_{READ} がオンになれば記憶値は“3”と判断できる。続いて第2の印加電圧 V_2 を加えて第2回目の読み出しを行い、読出し用トランジスタ Q_{READ} がオンになれば記憶値は“2”、第3の印加電圧 V_3 を加えて第3回目の読み出しを行い、読出し用トランジスタ Q_{READ} がオンになれば記憶値は“1”、それでもオフの場合は“0”であることが解る。

【0150】再書き込みを行うには、ストレージノードをそのままフローティング状態に保ち、選択したビット線 BL_x をローレベルに戻し、プレート線 $0PL0$ をハイレベルにして、記憶用キャパシタから一旦読み出された電荷を再び書き込む事で達成できる。

【0151】このような回路構成および読み出し/書き込みシーケンスにより、非常に高集積化された不揮発性多値メモリの動作が確認できた。

【0152】

【発明の効果】以上詳述したように、本発明によれば、強誘電体キャパシタを使用した半導体多値メモリが可能

になり、超高集積化した不揮発性多値記憶装置を実現でき、産業上のメリットは多大である。

【図面の簡単な説明】

【図 1】本発明のバッファ用可変容量常誘電体キャパシタを使用した場合の基本的な構成を説明するためのメモリセルの等価回路図である。

【図 2】本発明のバッファ用可変容量常誘電体キャパシタを使用した場合の書き込み動作を説明する模式図である。

【図 3】本発明のバッファ用可変容量常誘電体キャパシタを使用した場合の読み出し動作を説明する模式図である。

【図 4】本発明のバッファ用可変容量強誘電体キャパシタを使用した場合の基本的な構成を説明するためのメモリセルの等価回路図である。

【図 5】本発明のバッファ用可変容量強誘電体キャパシタを使用した場合の書き込み動作を説明する模式図である。

【図 6】本発明のバッファ用可変容量強誘電体キャパシタを使用した場合の読み出し動作を説明する模式図である。

【図 7】本発明のバッファ用可変容量強誘電体キャパシタを使用した場合の読み出し動作を説明する模式図である。

【図 8】本発明のバッファ用可変容量強誘電体キャパシタを使用した場合の読み出しおよび再書き込み動作を説明する模式図である。

【図 9】本発明のバッファ用可変容量キャパシタを使用した場合の、バッファセルブロックの基本的な構成を説明するための等価回路図である。

【図 10】本発明の記憶セルブロックの基本的な構成を説明するための等価回路図である。

【図 11】本発明の複数回書き込み制御回路を備えた場合の基本的な構成を説明するためのメモリセルの等価回路図である。

【図 12】本発明のバッファ用常誘電体キャパシタを使用した場合の複数回書き込み動作を説明する模式図である。

【図 13】本発明のバッファ用常誘電体キャパシタを使用した場合の複数回読み出し動作を説明する模式図である。

【図 14】本発明の書き込み電圧制御回路を備えた場合の基本的な構成を説明するためのメモリセルの等価回路図である。

【図 15】本発明のバッファ用常誘電体キャパシタを使

用した場合の可変電圧書き込み動作を説明する模式図である。

【図 16】本発明のバッファ用常誘電体キャパシタを使用した場合の可変電圧読み出し動作を説明する模式図である。

【図 17】本発明の第 1 の実施例に係る半導体記憶装置の主要部分の回路構成を示す図である。

【図 18】本発明の第 1 の実施例に係る半導体記憶装置の、周辺回路を含めた主要部分の回路構成を示す図である。

【図 19】本発明の第 1 の実施例に係る半導体記憶装置の読み出し／書き込みシーケンスを示すタイミング図である。

【図 20】本発明の第 1 の実施例に係る半導体記憶装置の (a) 平面図および (b) 断面図である。

【図 21】本発明の第 2 の実施例に係る半導体記憶装置の主要部分の回路構成を示す図である。

【図 22】本発明の第 2 の実施例に係る半導体記憶装置の、周辺回路を含めた主要部分の回路構成を示す図である。

【図 23】本発明の第 2 の実施例に係る半導体記憶装置の読み出しシーケンスを示すタイミング図である。

【図 24】本発明の第 2 の実施例に係る半導体記憶装置の書き込みシーケンスを示すタイミング図である。

【図 25】本発明の第 2 の実施例に係る半導体記憶装置の (a) 平面図および (b) 断面図である。

【図 26】本発明の第 3 の実施例に係る半導体記憶装置の、周辺回路を含めた主要部分の回路構成を示す図である。

【図 27】本発明の第 3 の実施例に係る半導体記憶装置の読み出し／書き込みシーケンスを示すタイミング図である。

【図 28】本発明者らが開示した記憶装置の要部を表す概念図である。

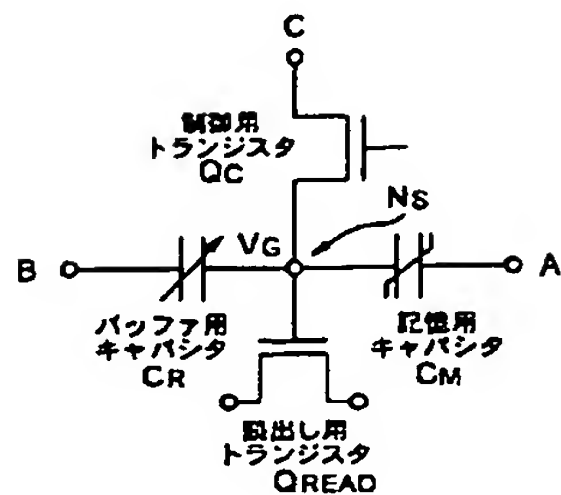
【図 29】従来例における多値書き込み動作を説明する模式図である。

【図 30】強誘電体本来の P-V ヒステリシス曲線を説明するための模式図である。

【符号の説明】

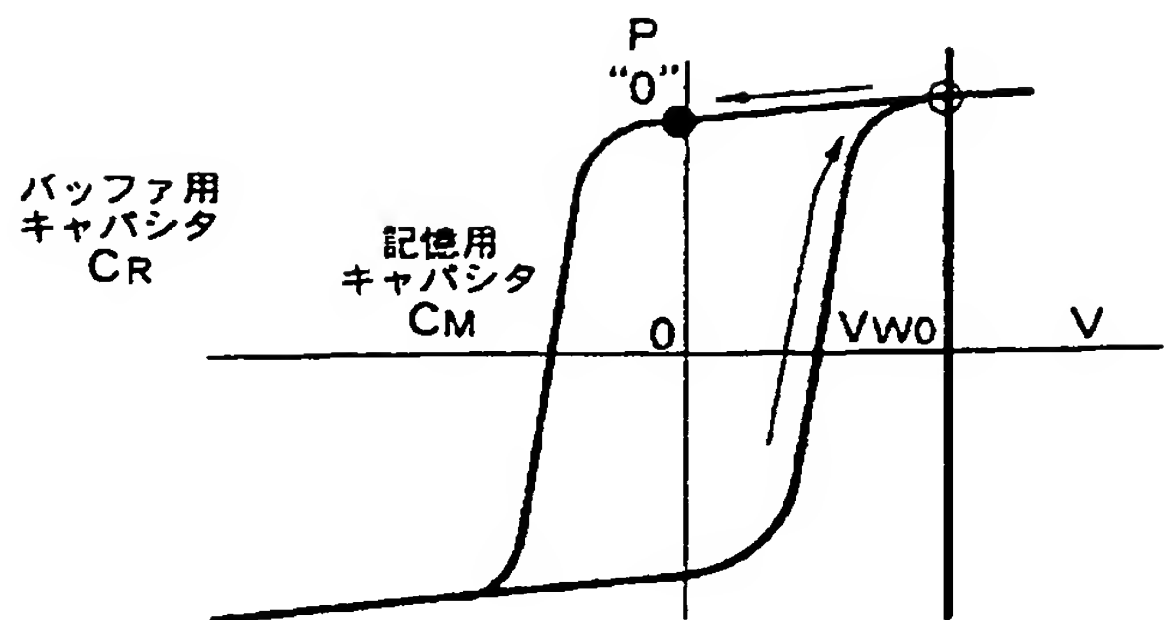
CM 記憶用キャパシタ
CR バッファ用キャパシタ
CREF 参照用キャパシタ
NS ストレージノード
QC 制御用トランジスタ
QREAD 読み出し用トランジスタ

【図1】

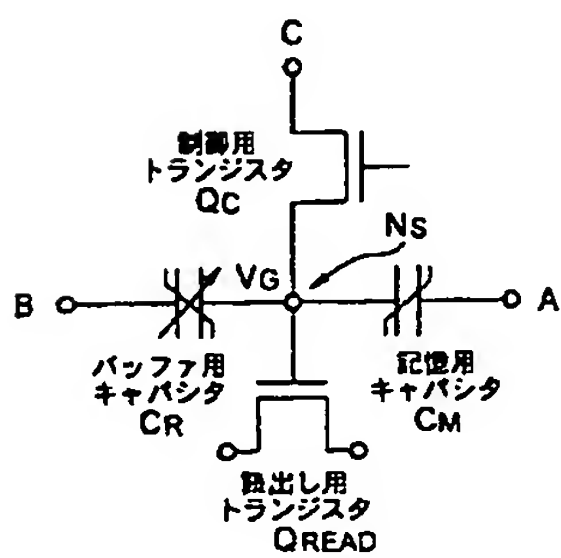


(a) 記憶"0"の書き込み動作

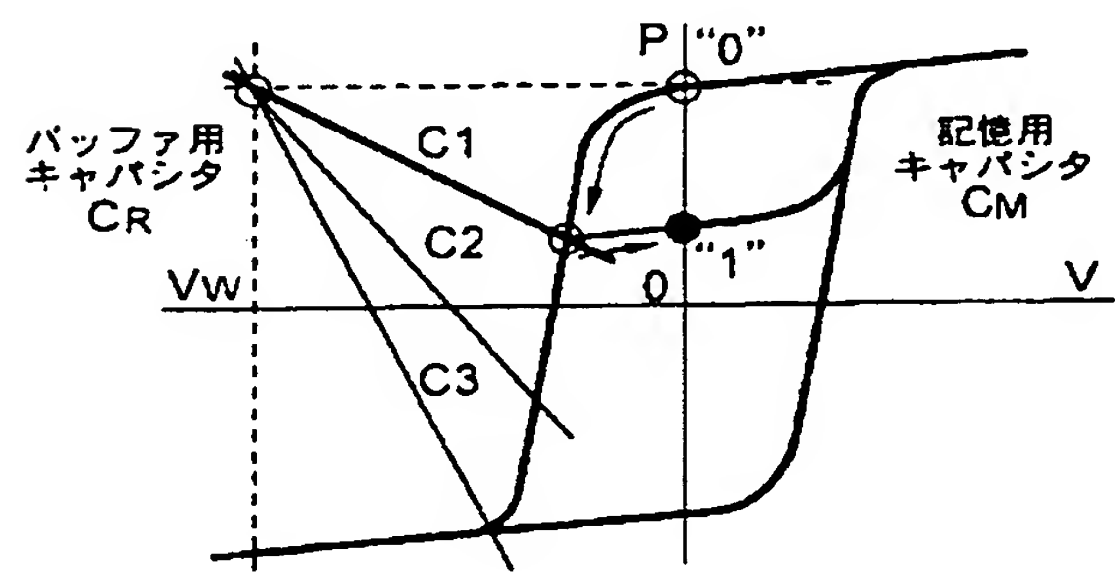
【図2】



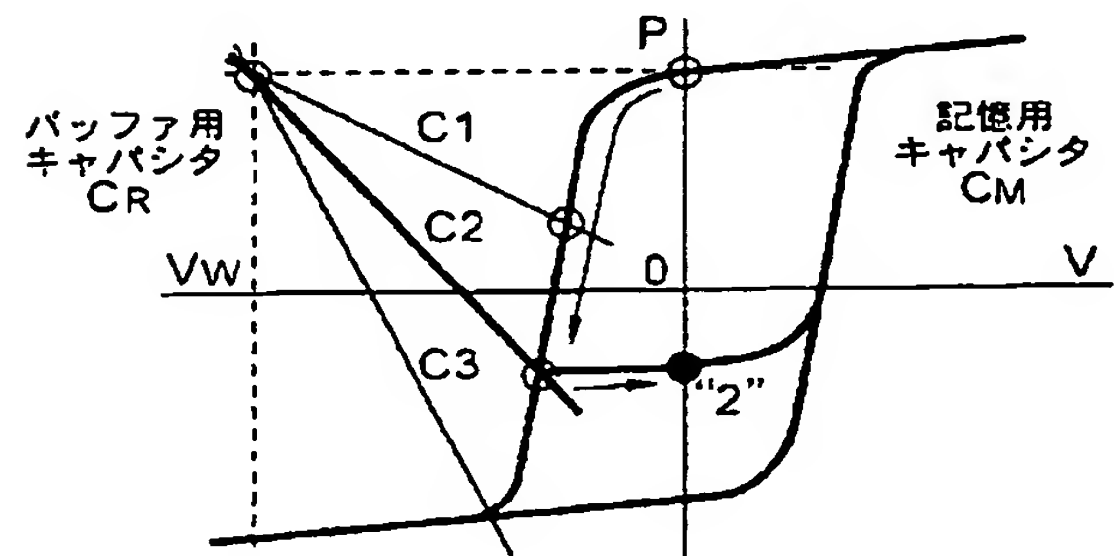
【図4】



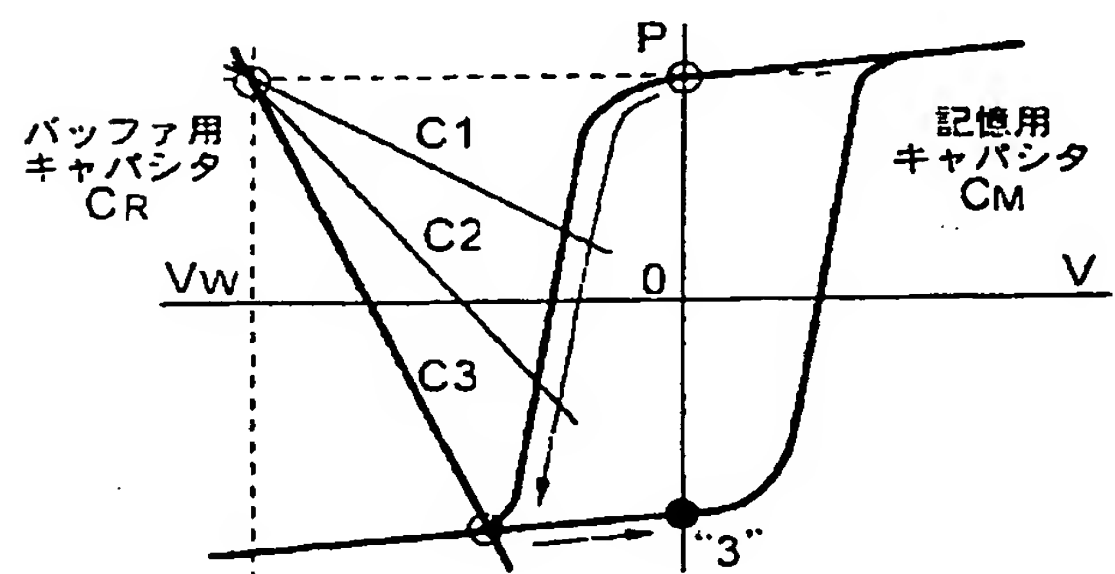
(b) 記憶"1"の書き込み動作



(c) 記憶"2"の書き込み動作

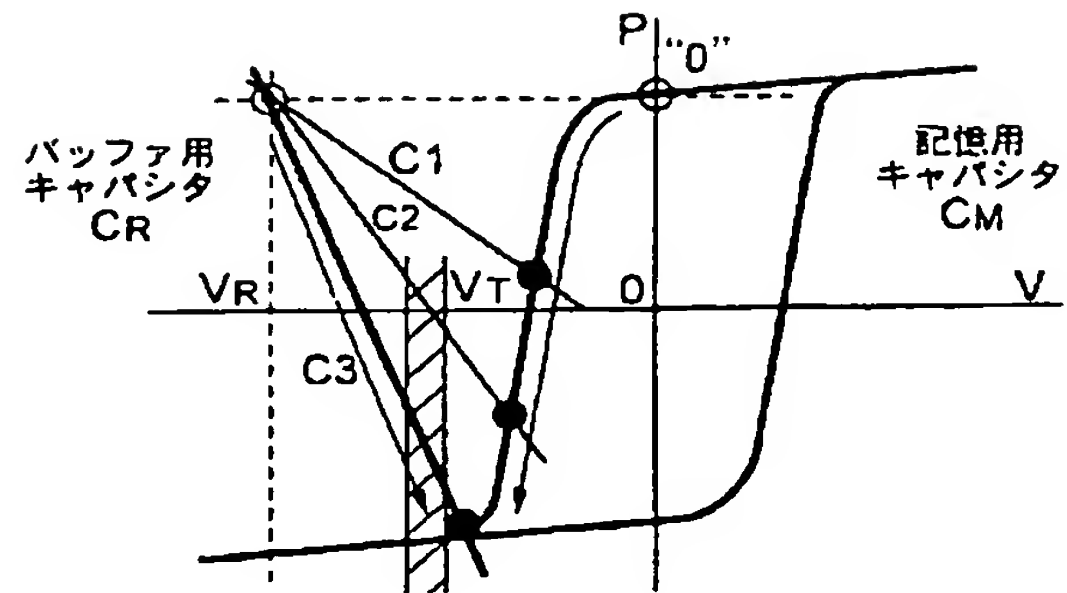


(d) 記憶"3"の書き込み動作

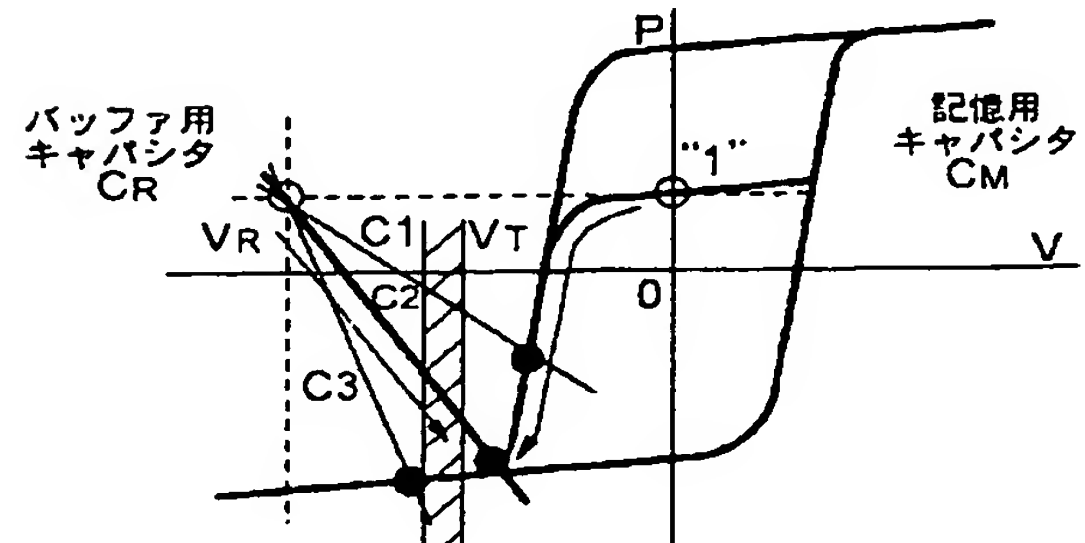


【図3】

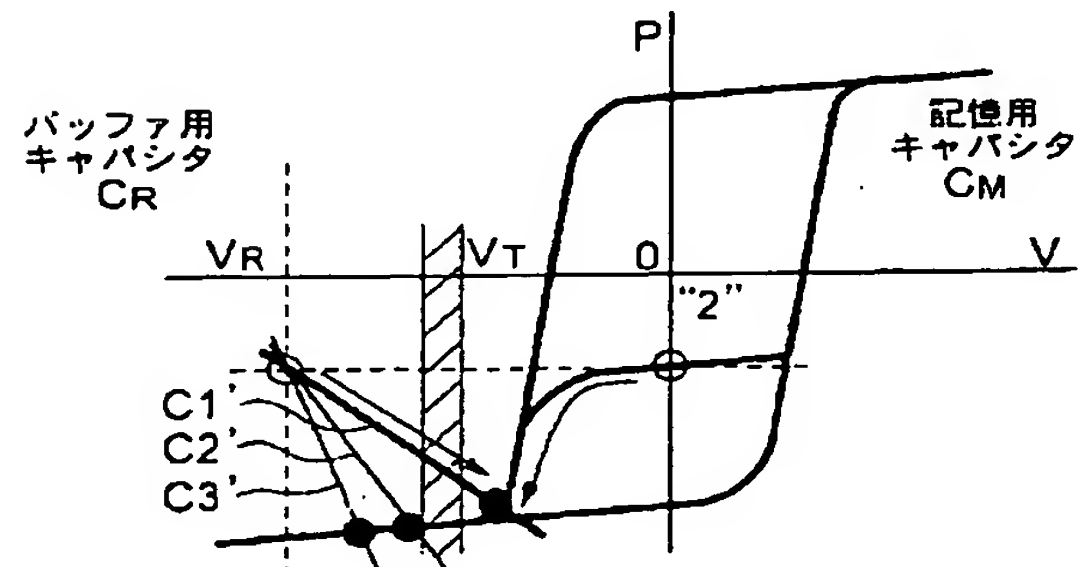
(a) 記憶"0"の読み出し動作



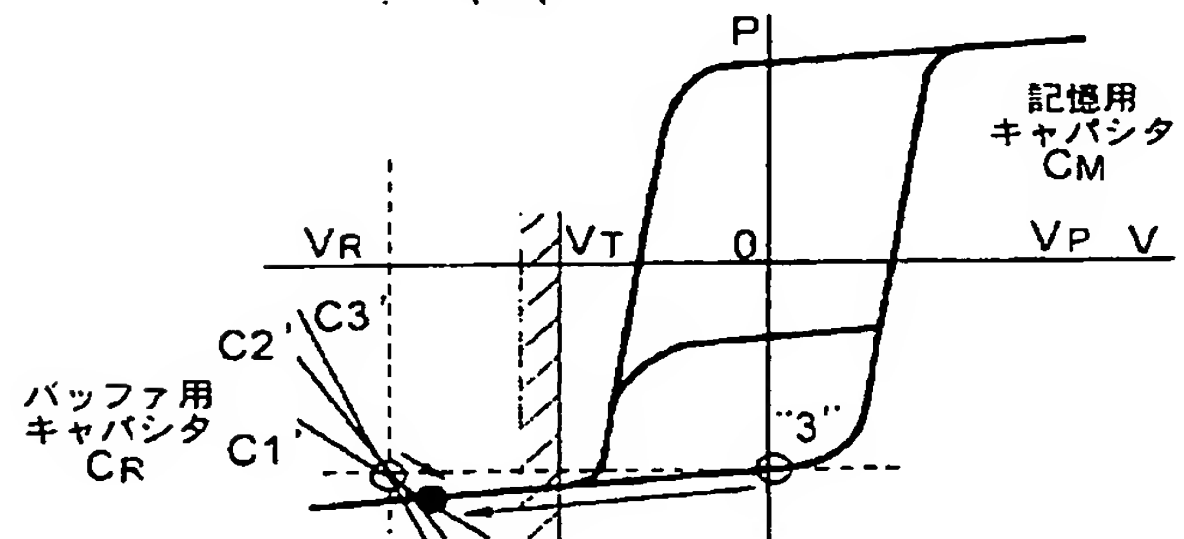
(b) 記憶"1"の読み出し動作



(c) 記憶"2"の読み出し動作

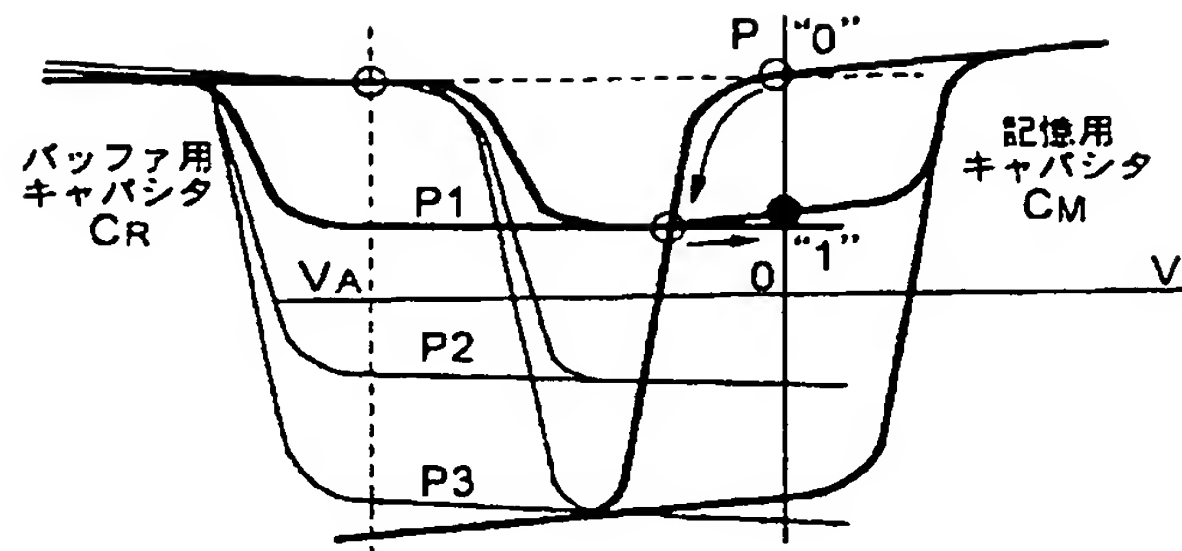


(d) 記憶"3"の読み出し動作

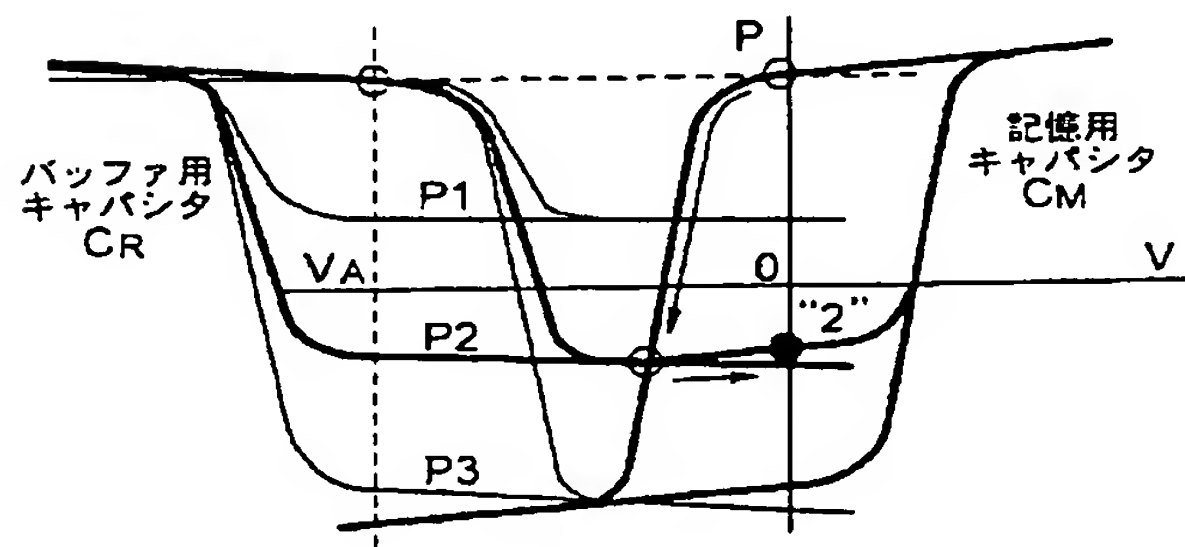


【図5】

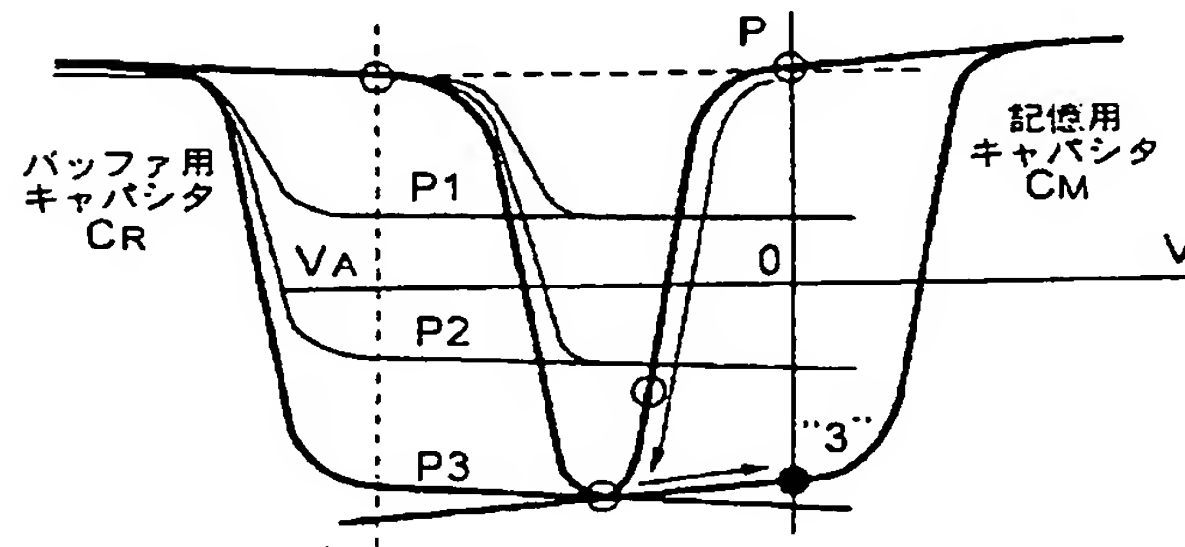
(a) 記憶“1”の書き込み動作



(b) 記憶“2”の書き込み動作

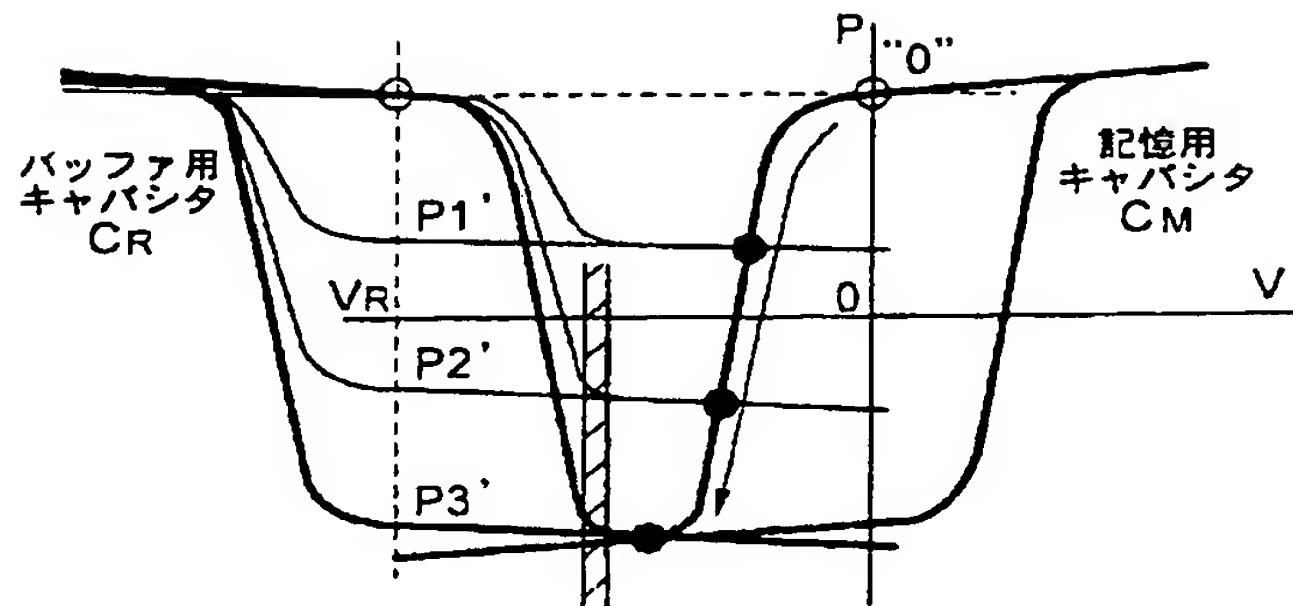


(c) 記憶“3”の書き込み動作

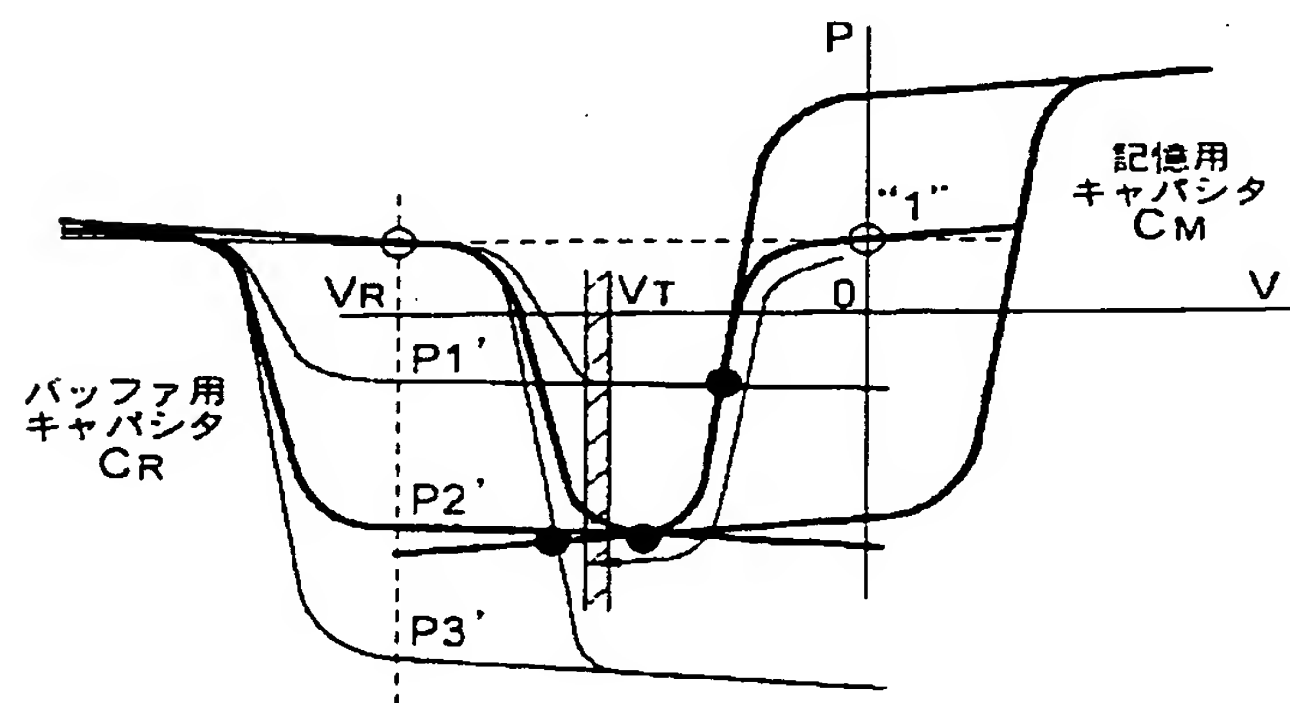


【図6】

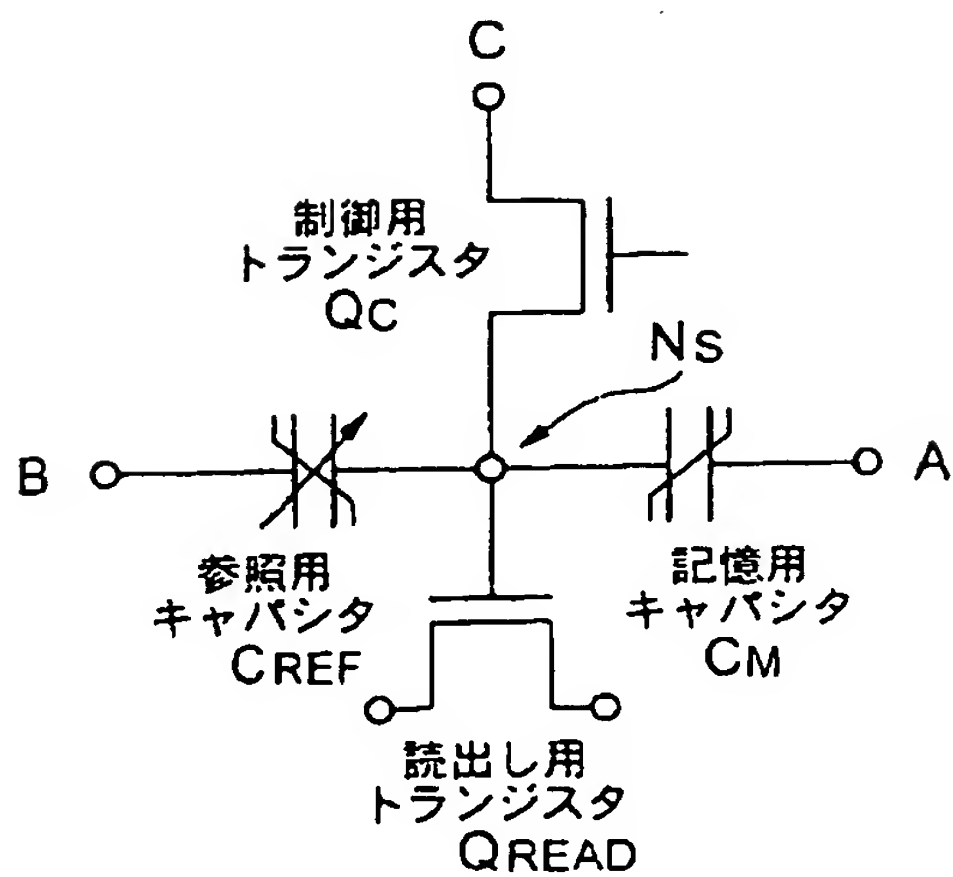
(a) 記憶"0"の読み出し動作



(b) 記憶"1"の読み出し動作

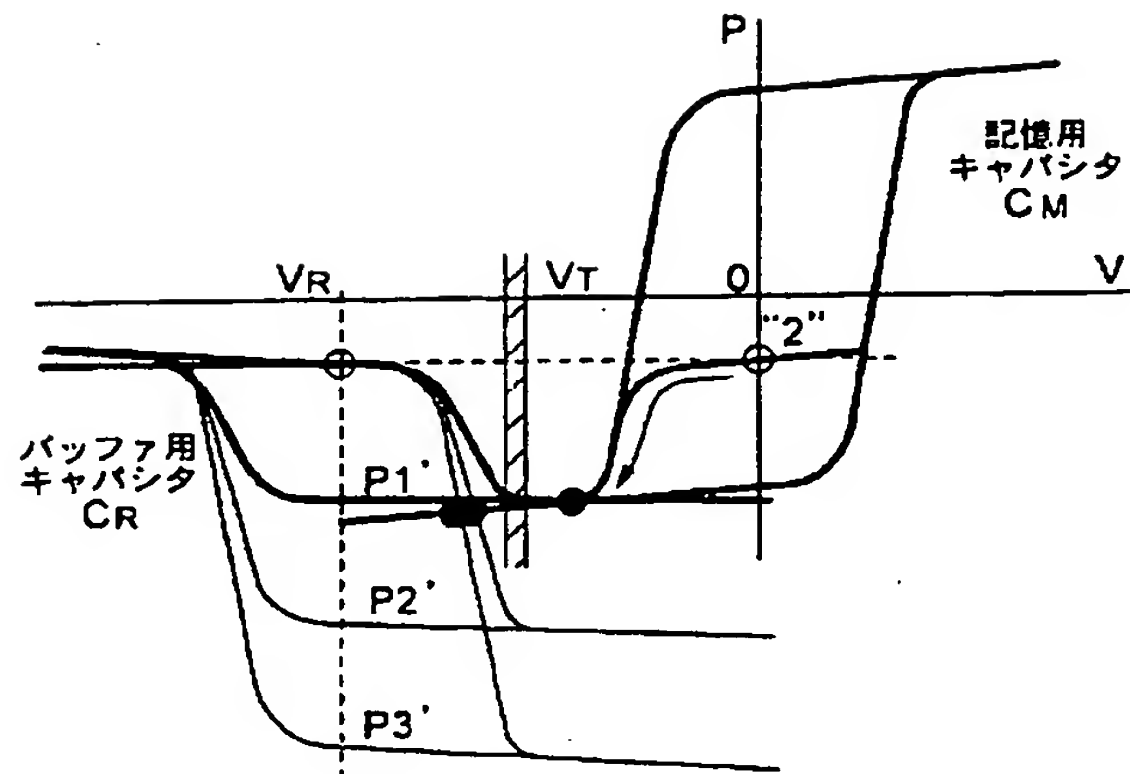


【図28】

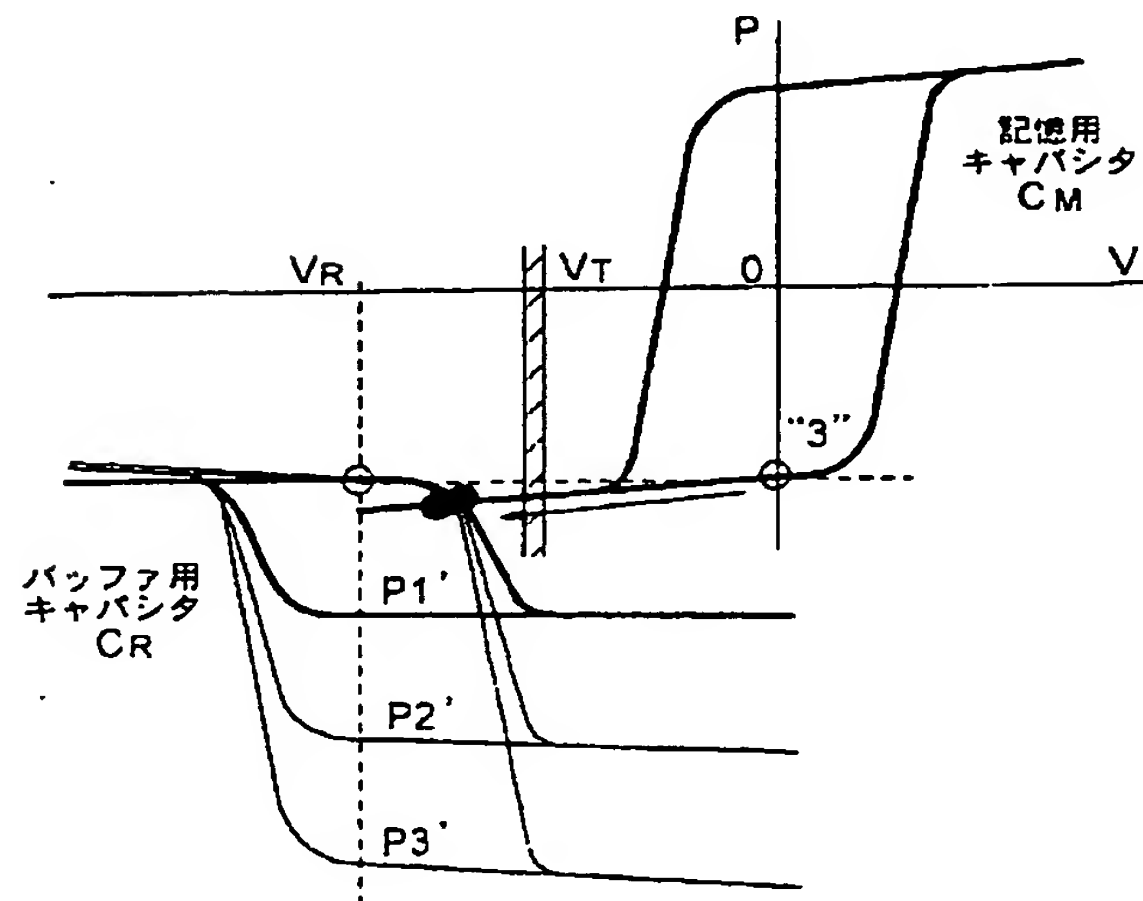


【図7】

(a) 記憶"2"の読み出し動作

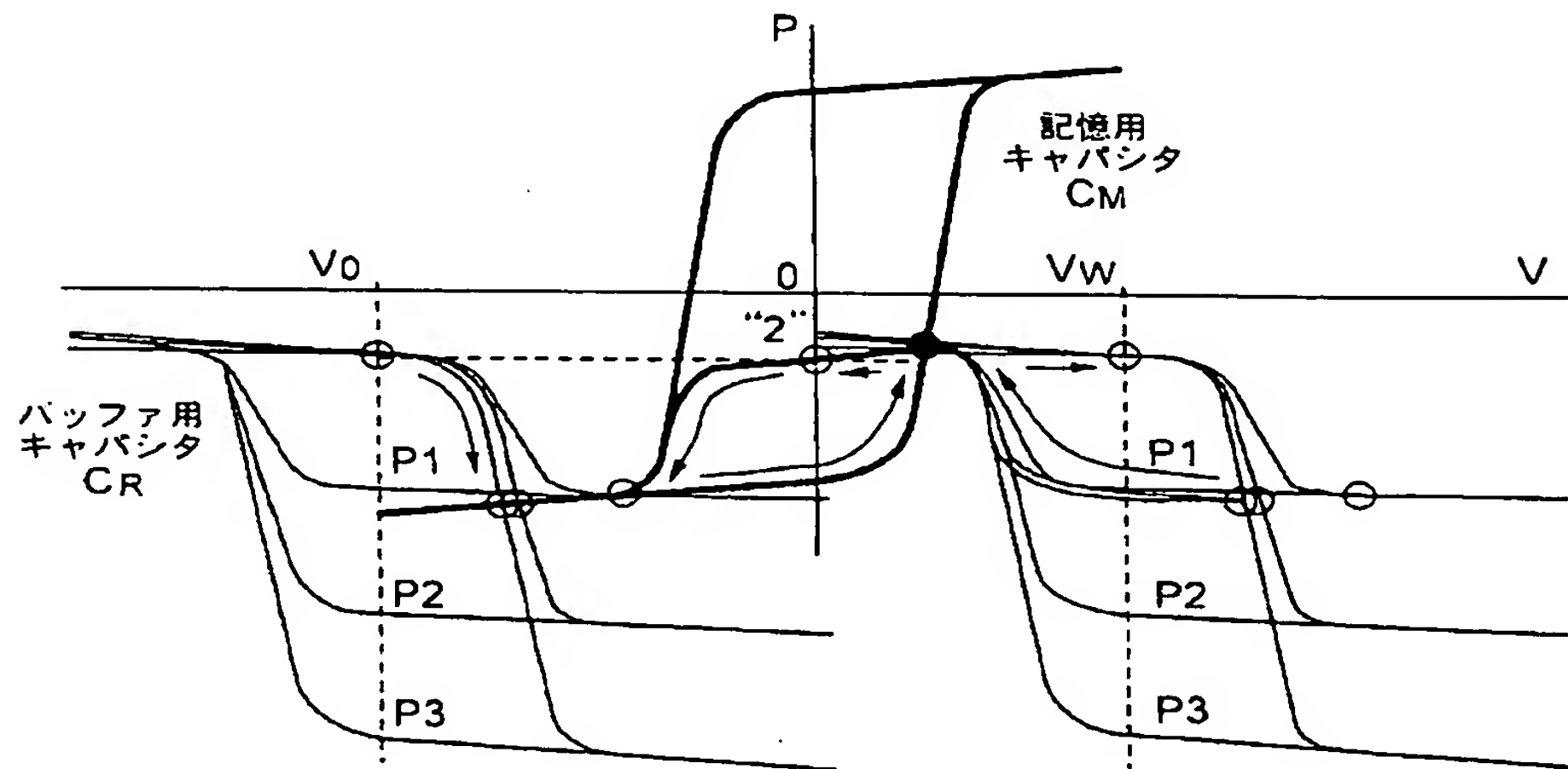


(b) 記憶"3"の読み出し動作

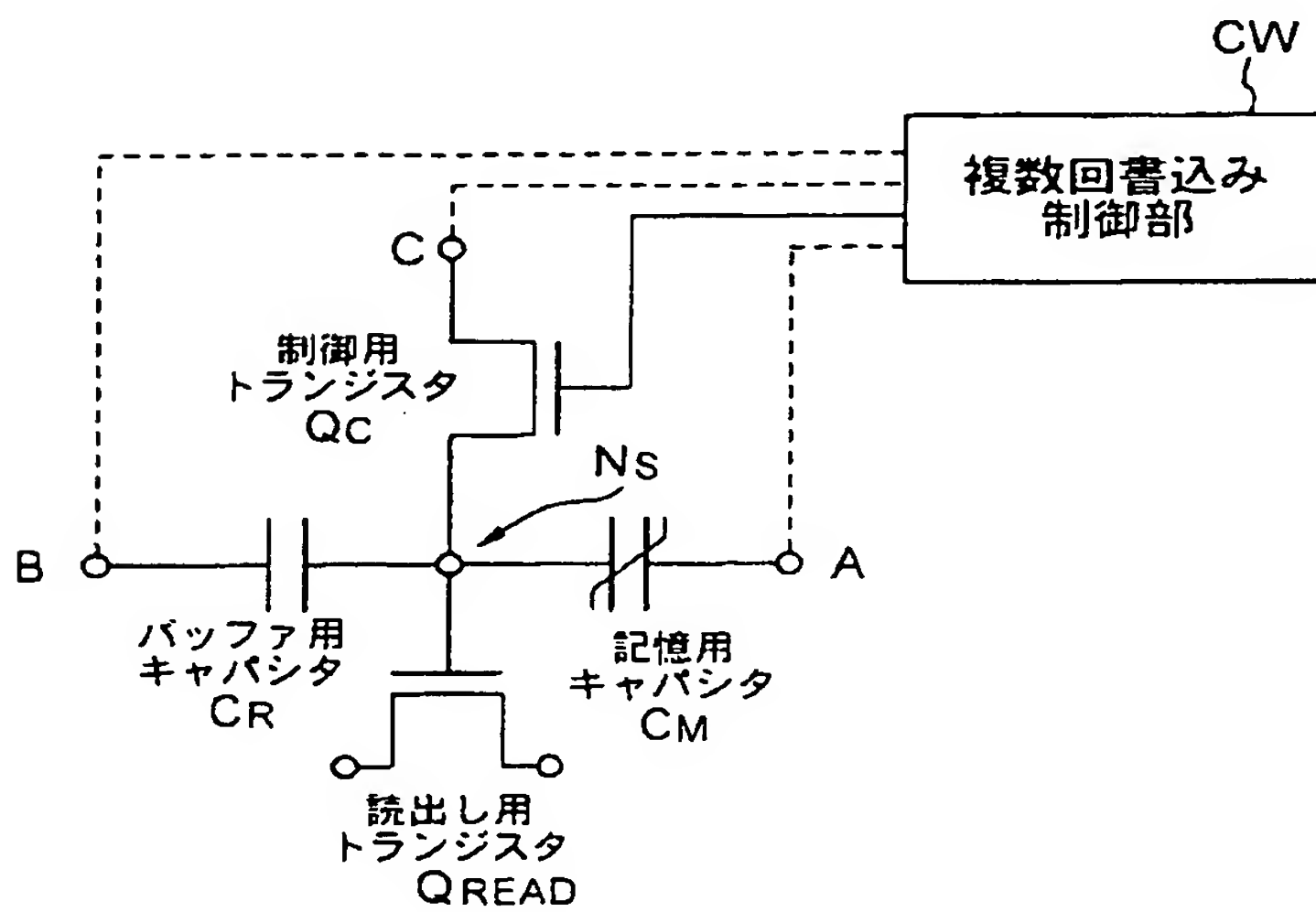


【図8】

可変容量バッファ用強誘電体キャパシタを介した
記憶"2"の読み出し・再書き込み動作

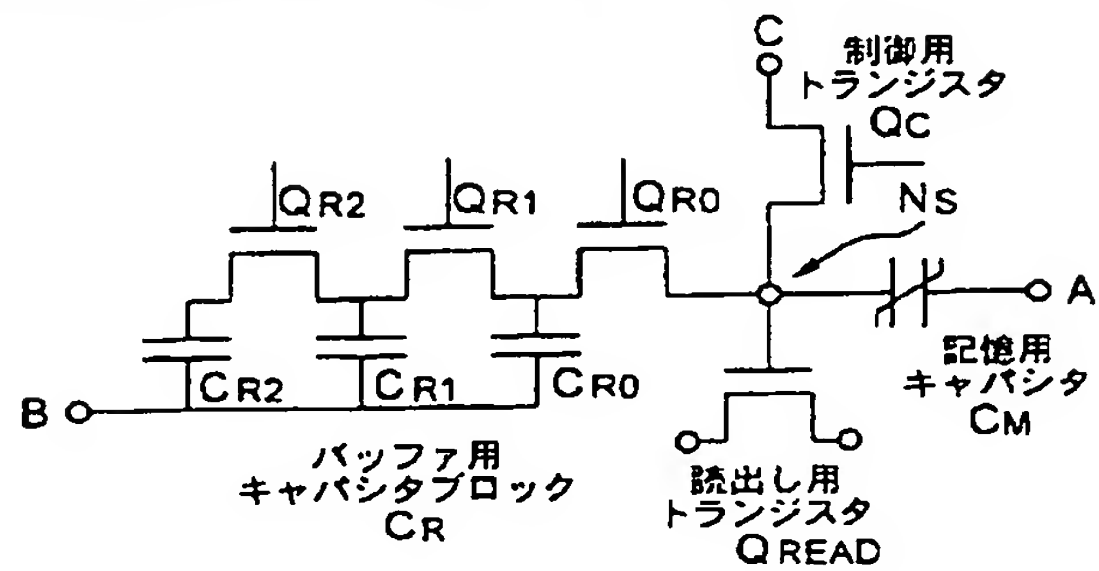


【図11】

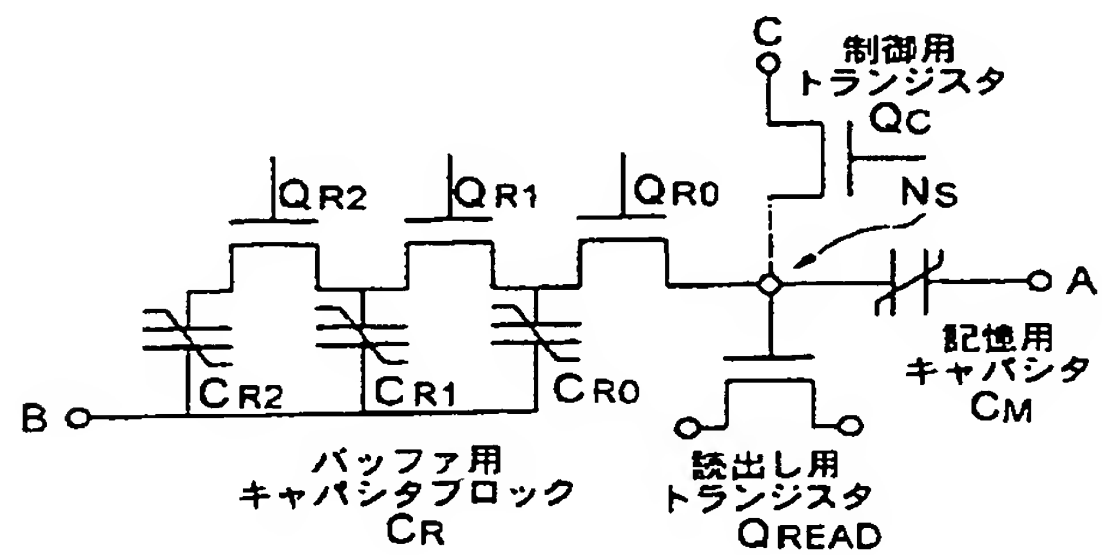


【図9】

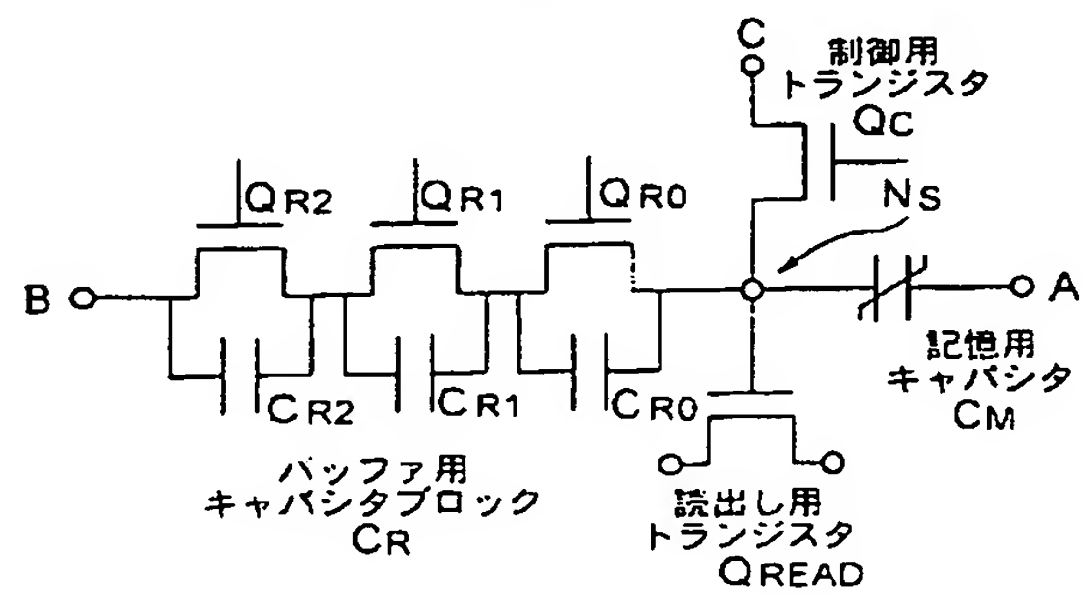
(a) NAND接続したバッファ用常誘電体キャパシタ



(b) NAND接続したバッファ用強誘電体キャパシタ

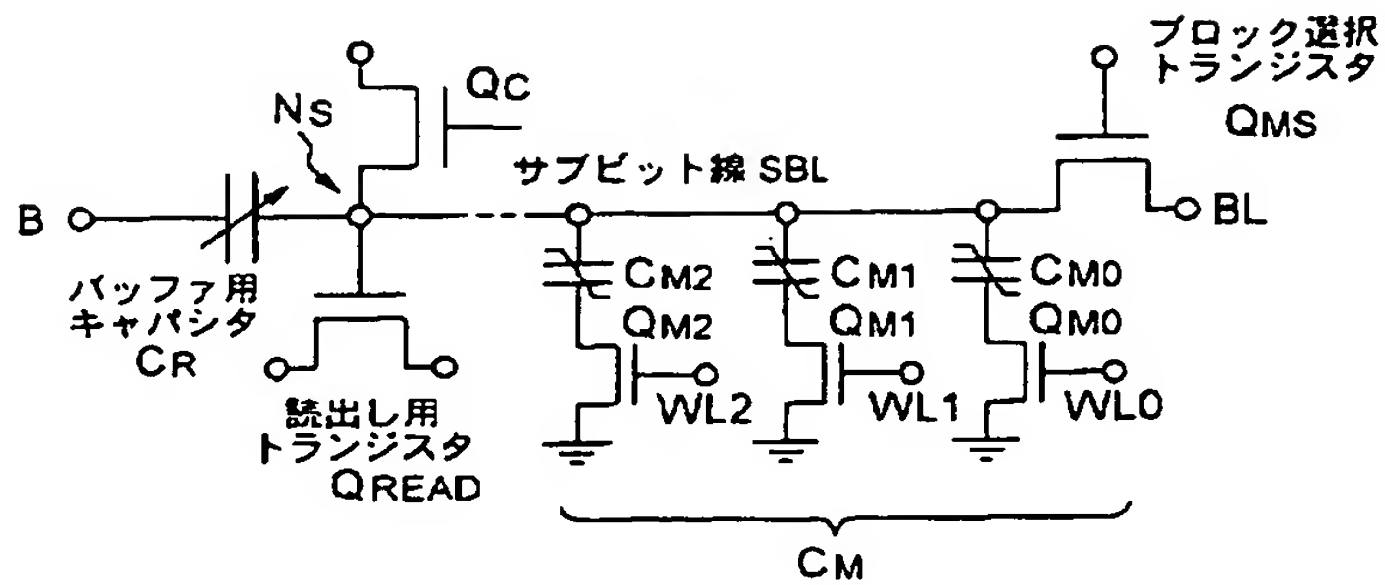


(c) Chain接続したバッファ用常誘電体キャパシタ

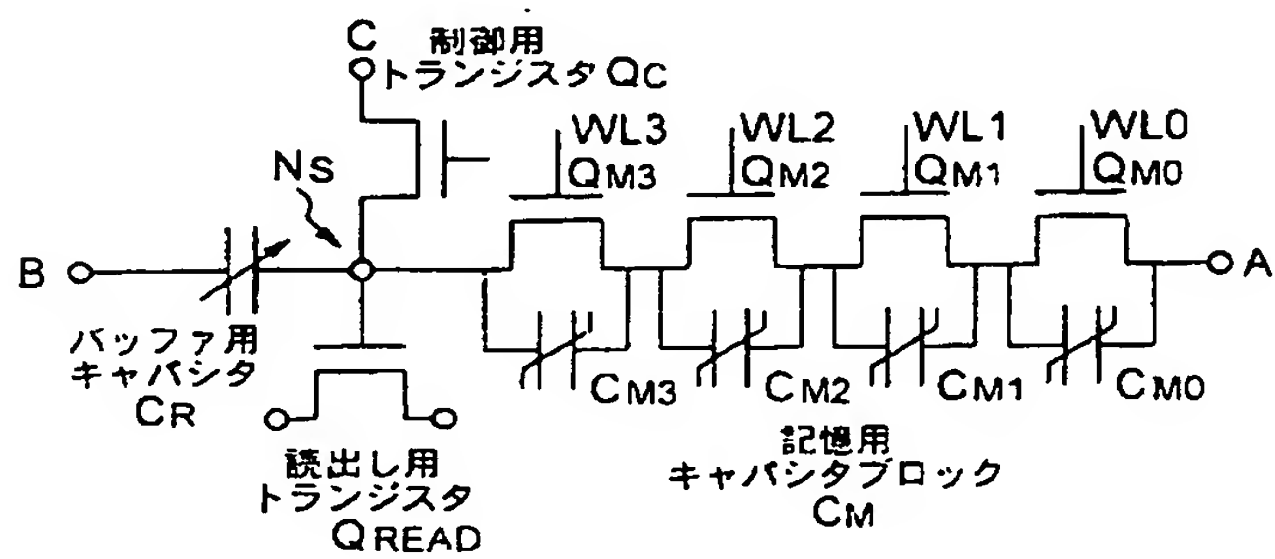


【図10】

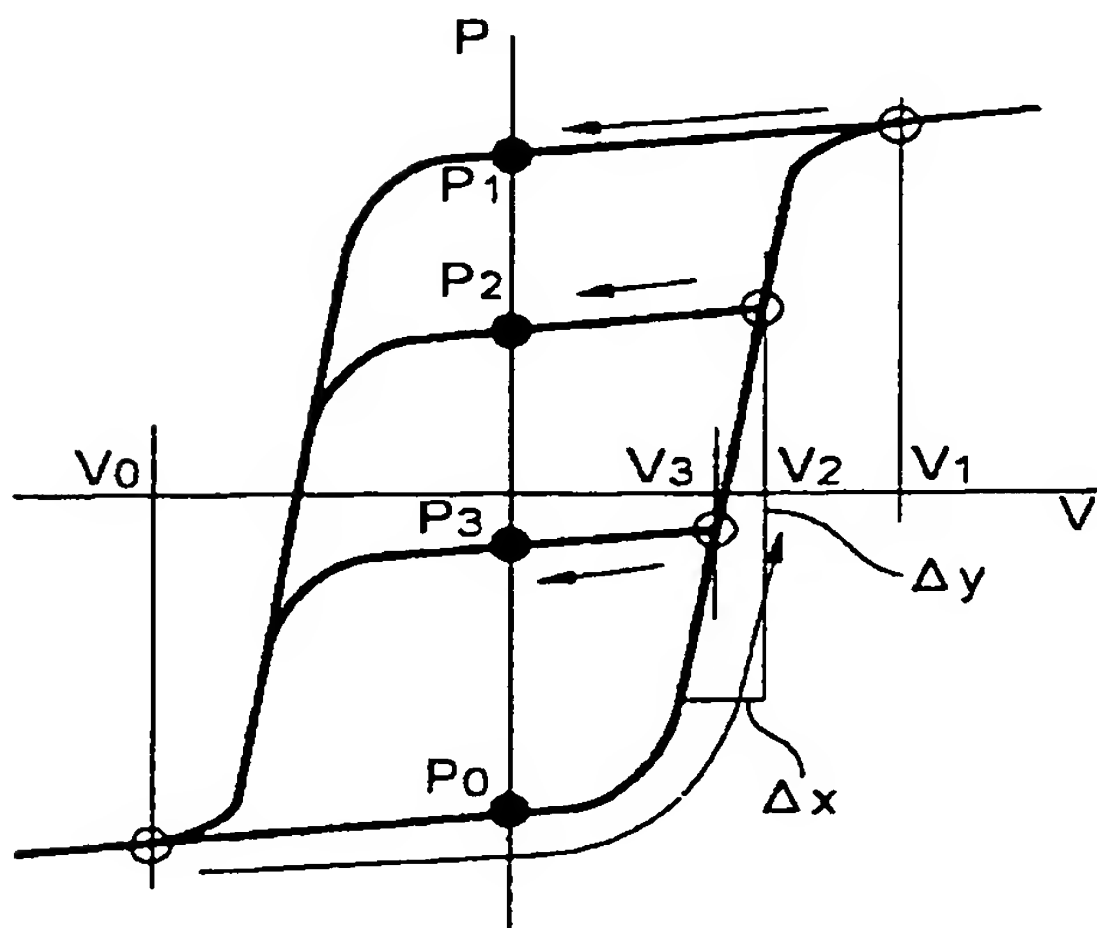
(a) 通常型記憶用キャパシタブロック



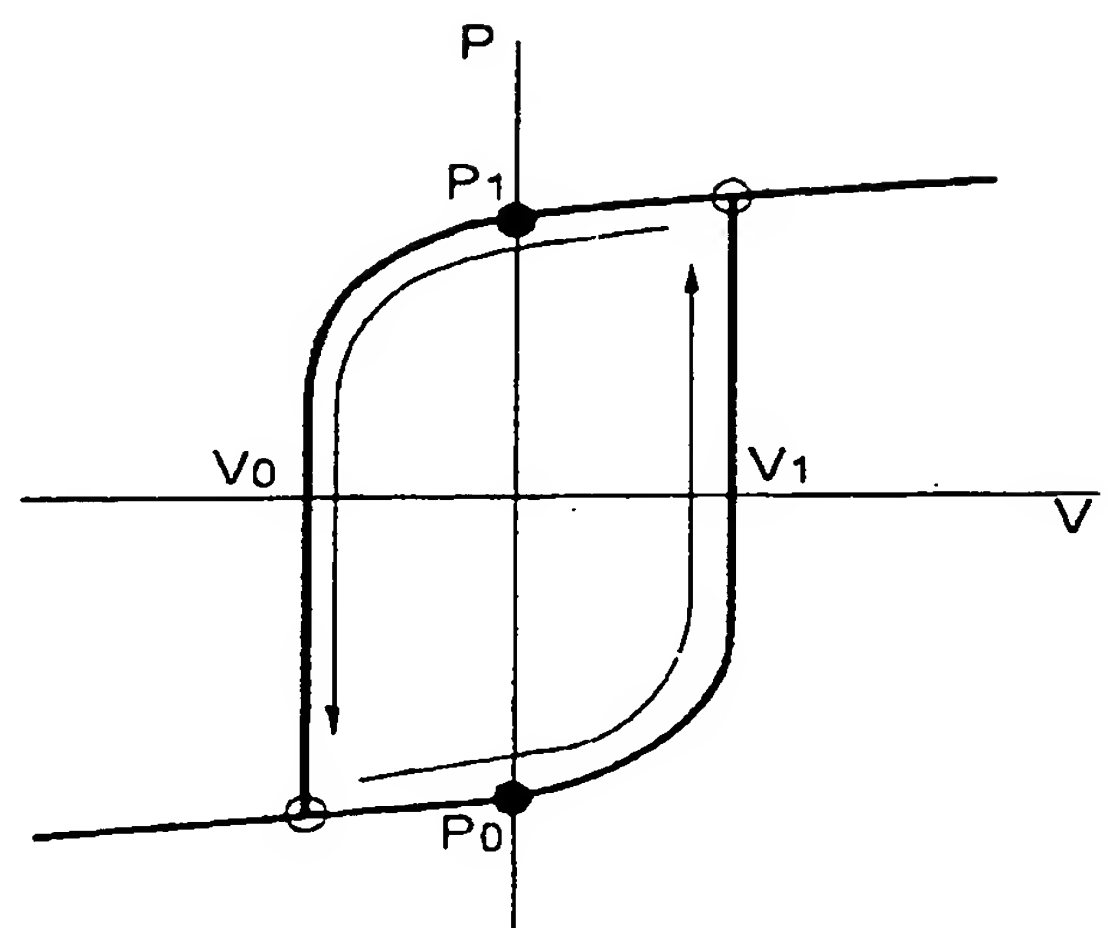
(b) Chain型記憶用キャパシタブロック



【図29】

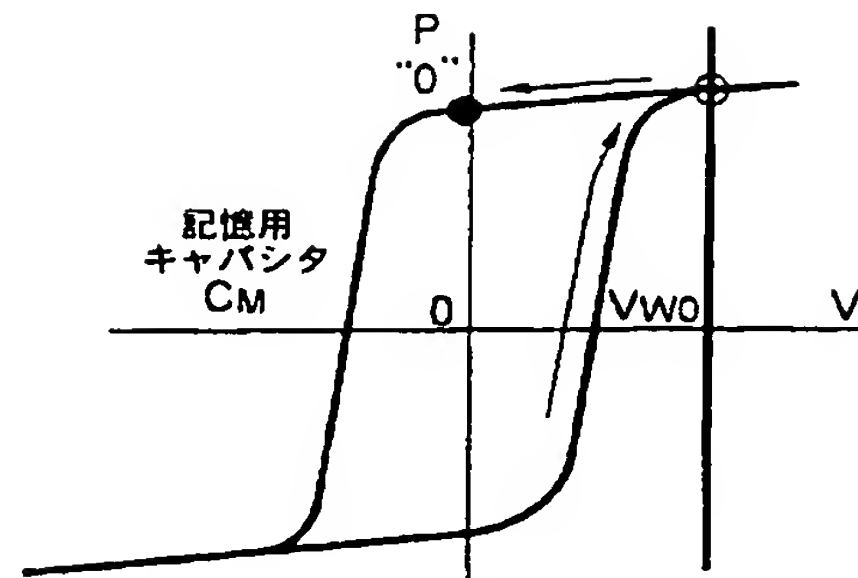


【図30】

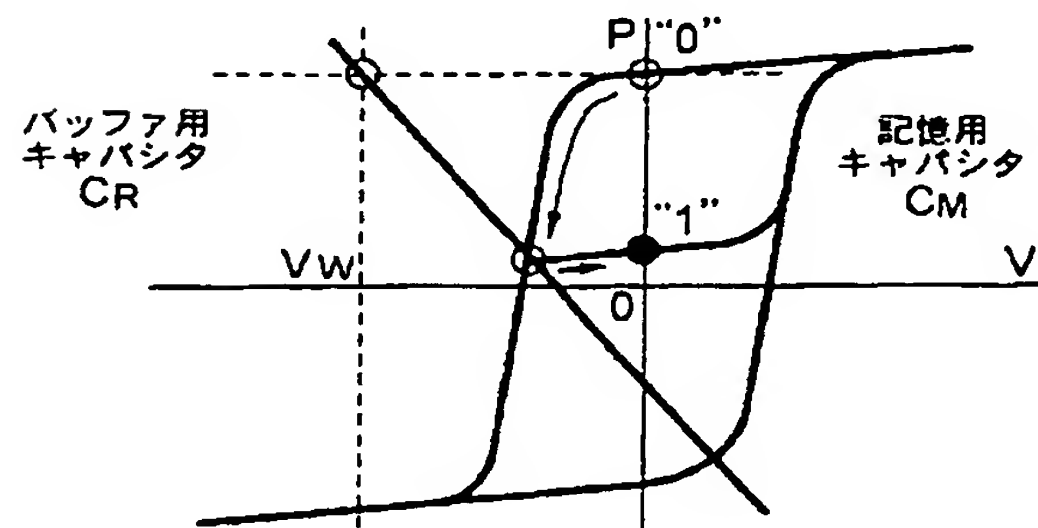


【図12】

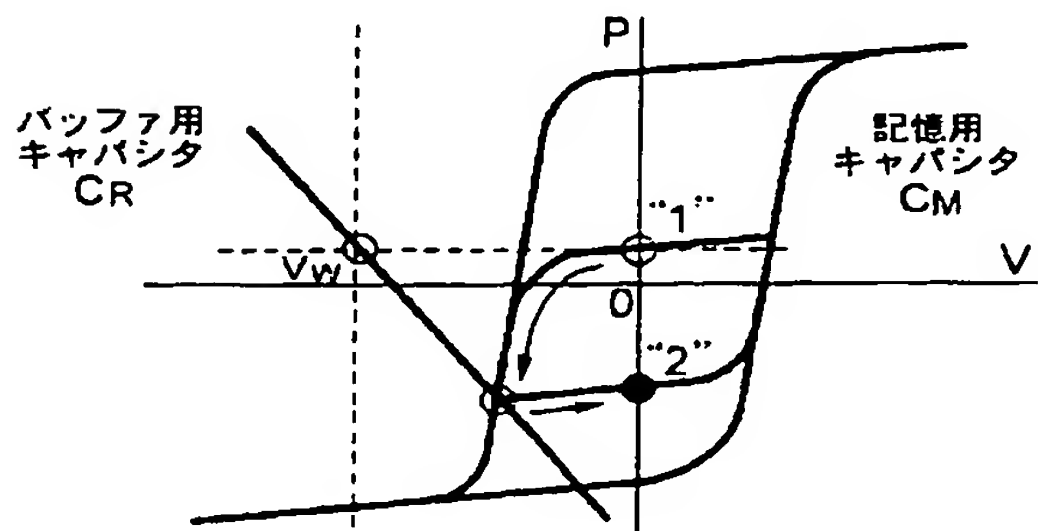
(a) 記憶"0"の書き込み動作



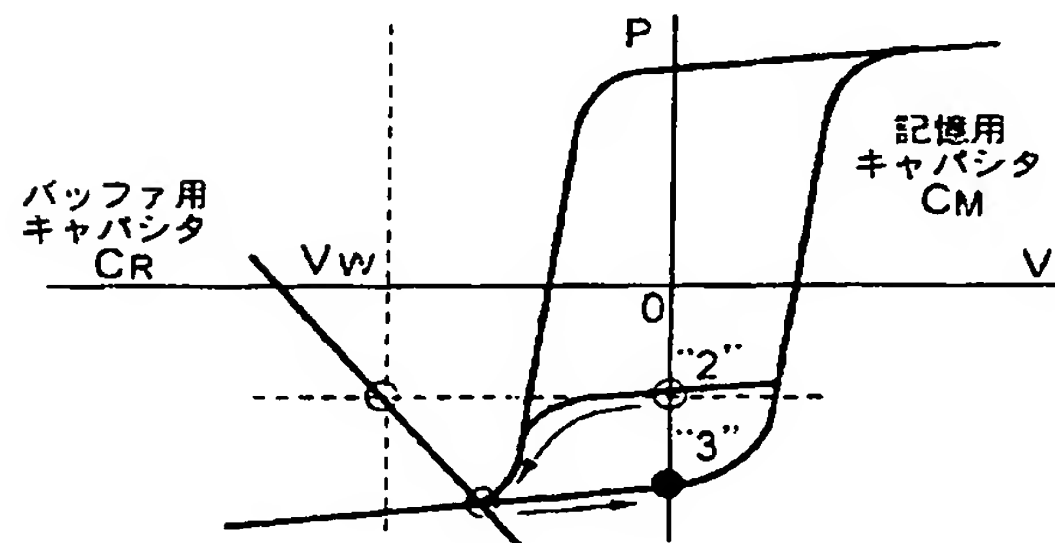
(b) 記憶"1"の書き込み動作



(c) 記憶"2"の書き込み動作

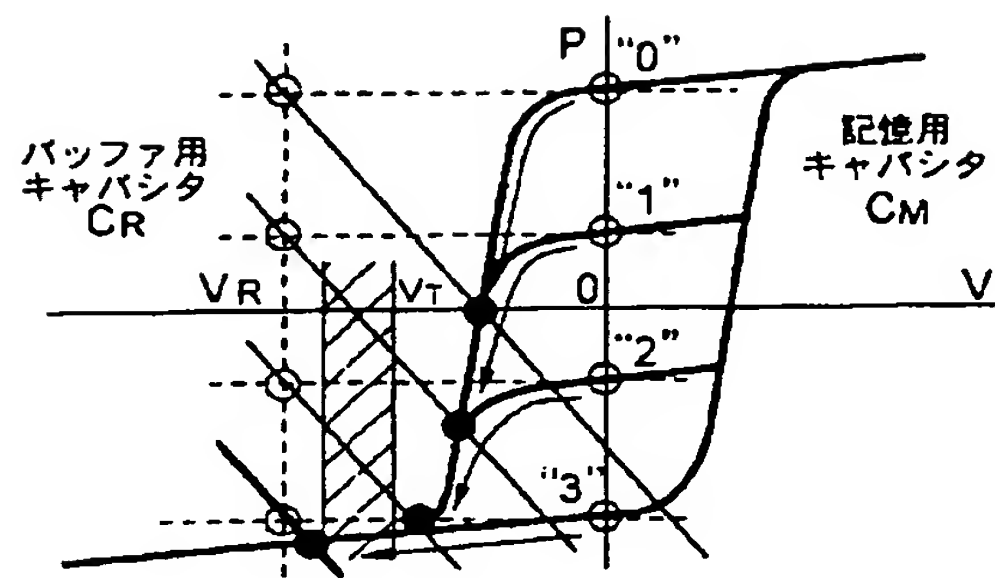


(d) 記憶"3"の書き込み動作

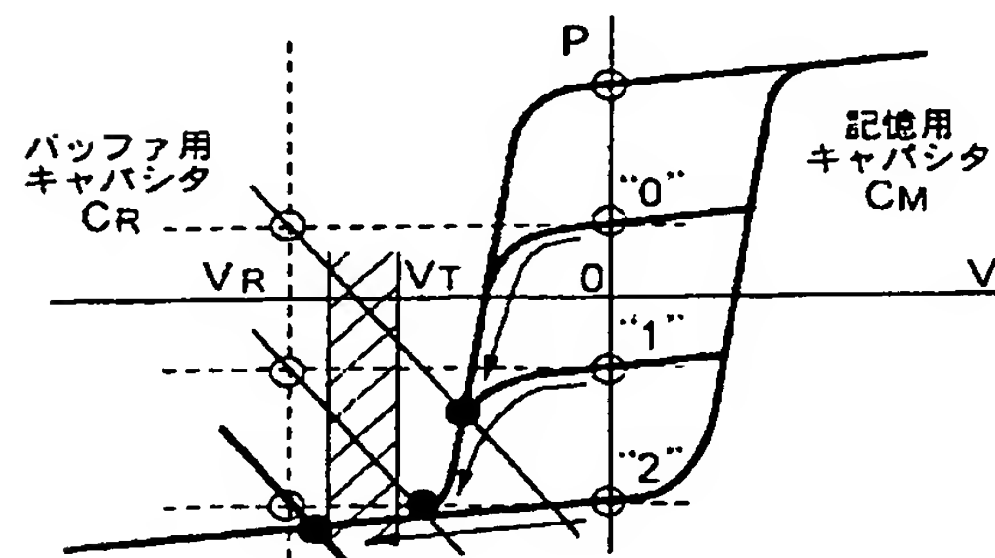


【図13】

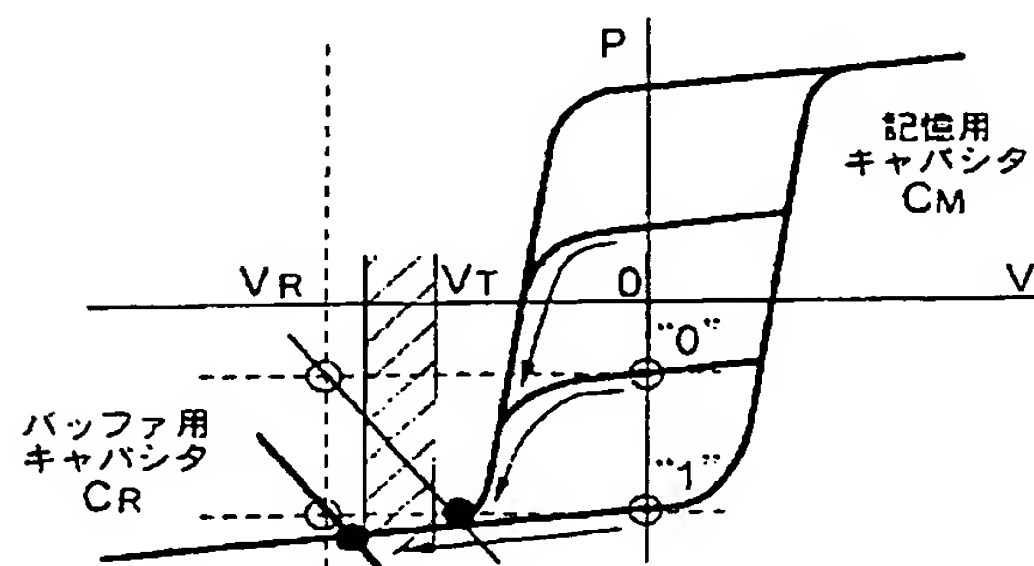
(a) 1回目の読み出し動作



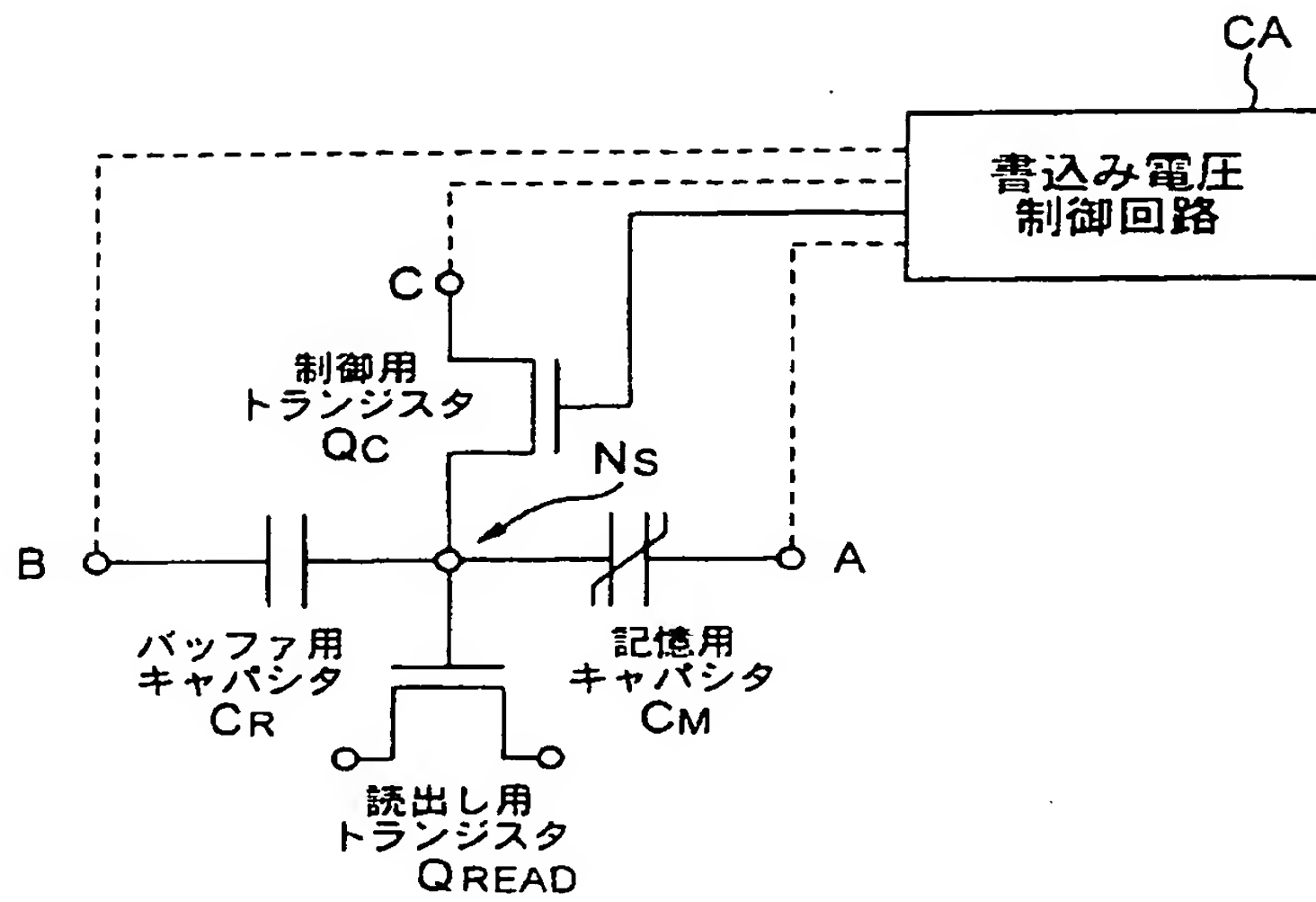
(b) 2回目の読み出し動作



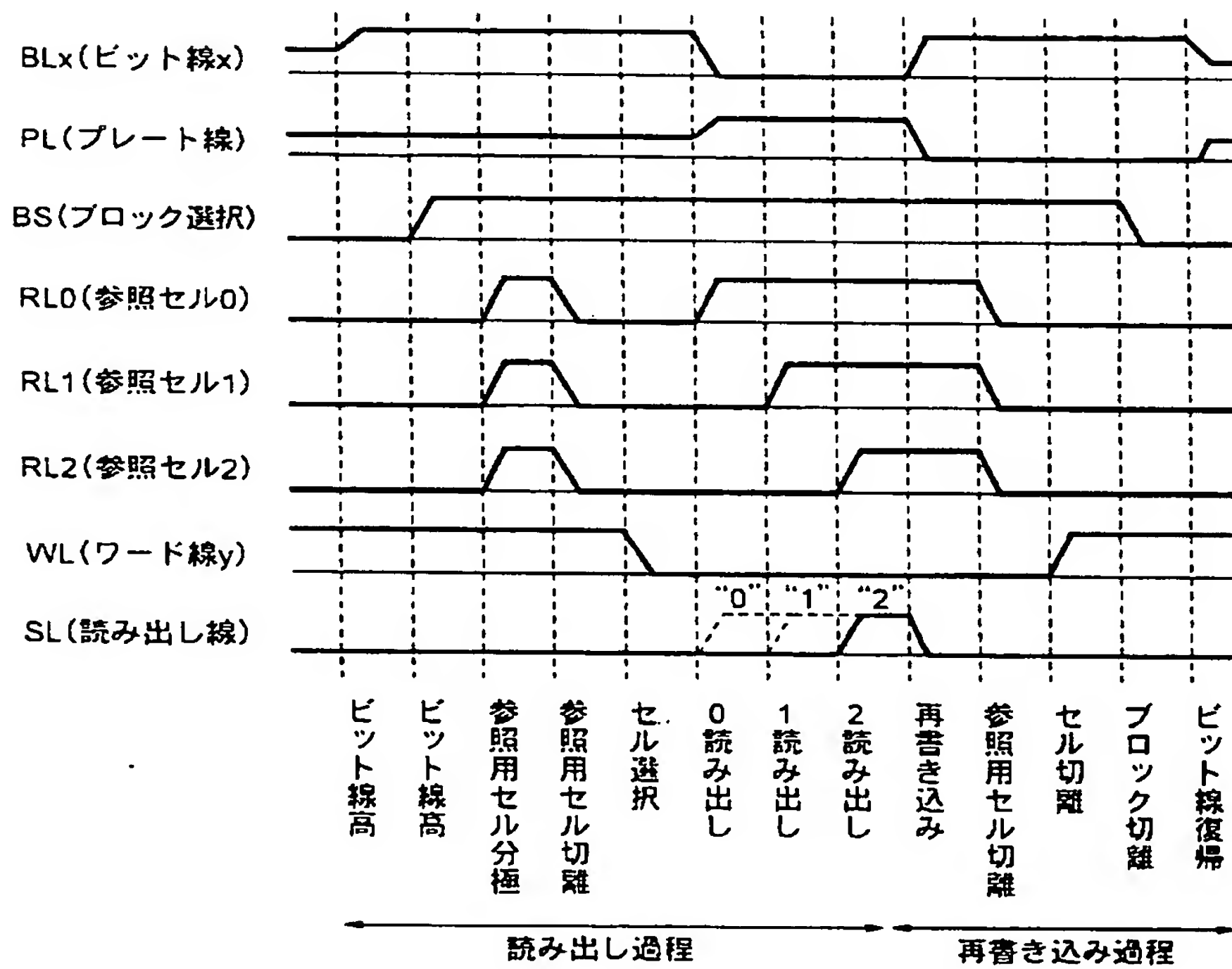
(c) 3回目の読み出し動作



【図14】

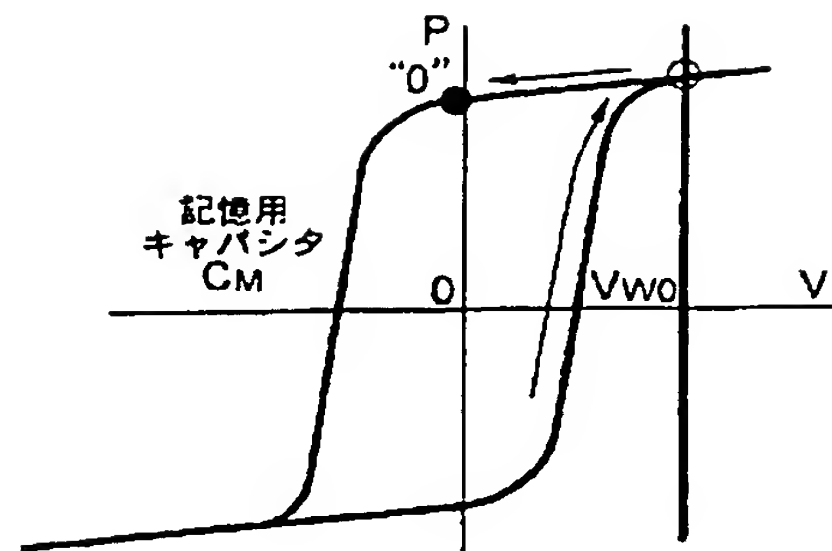


【図19】

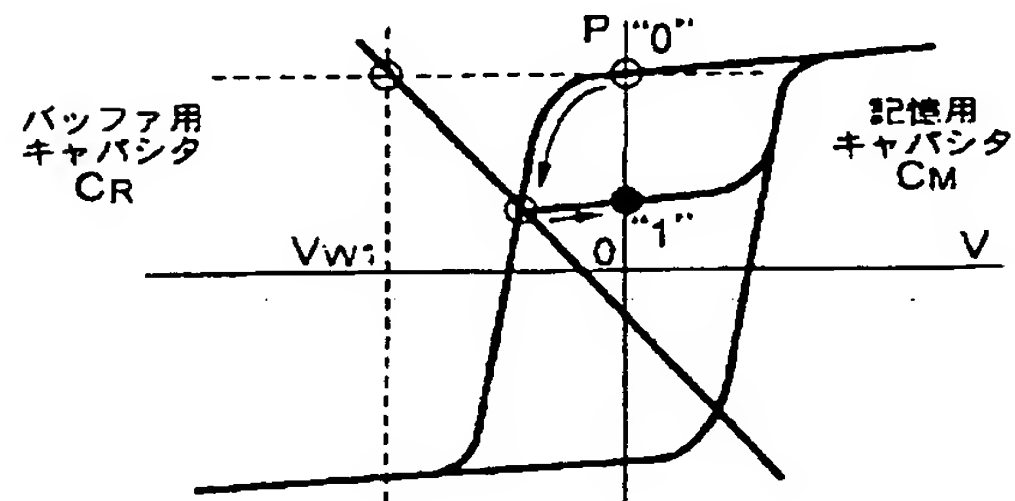


【図15】

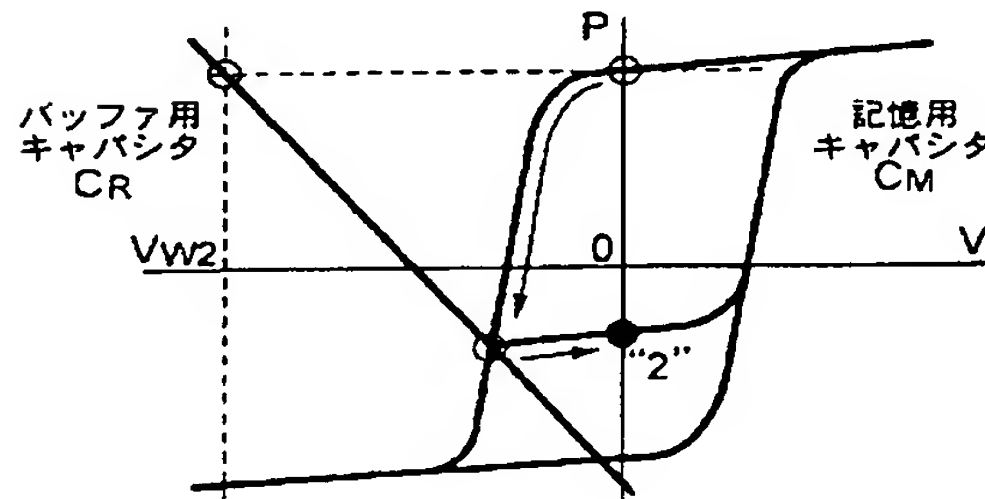
(a) 記憶“0”の書き込み動作



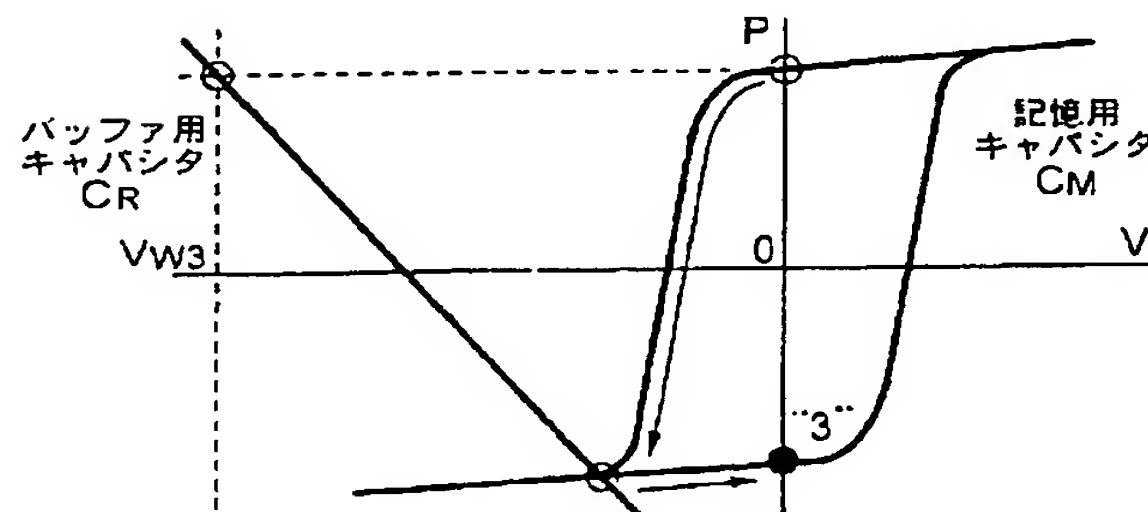
(b) 記憶“1”の書き込み動作



(c) 記憶“2”の書き込み動作

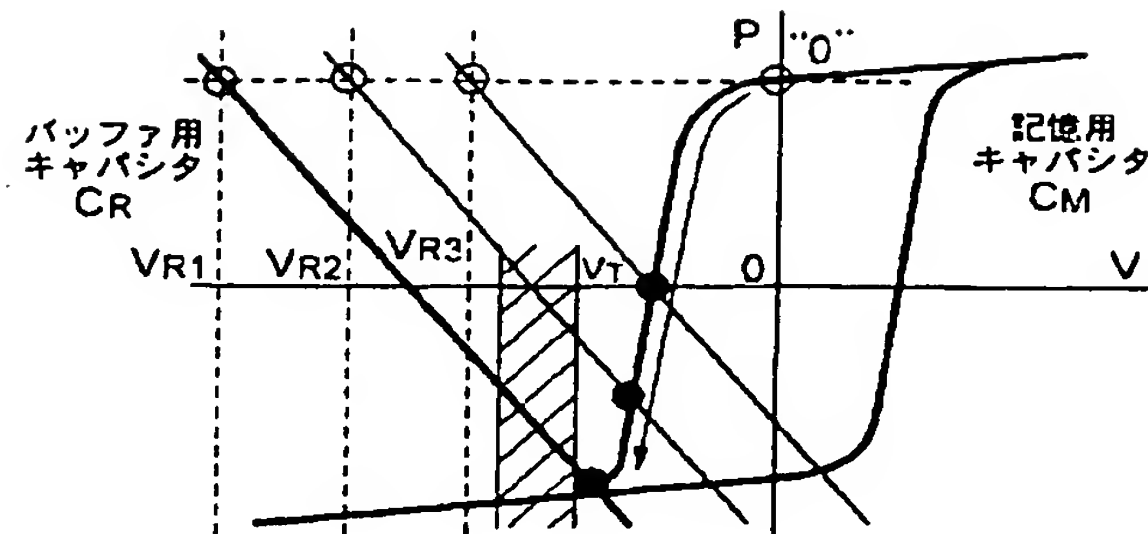


(d) 記憶“3”の書き込み動作

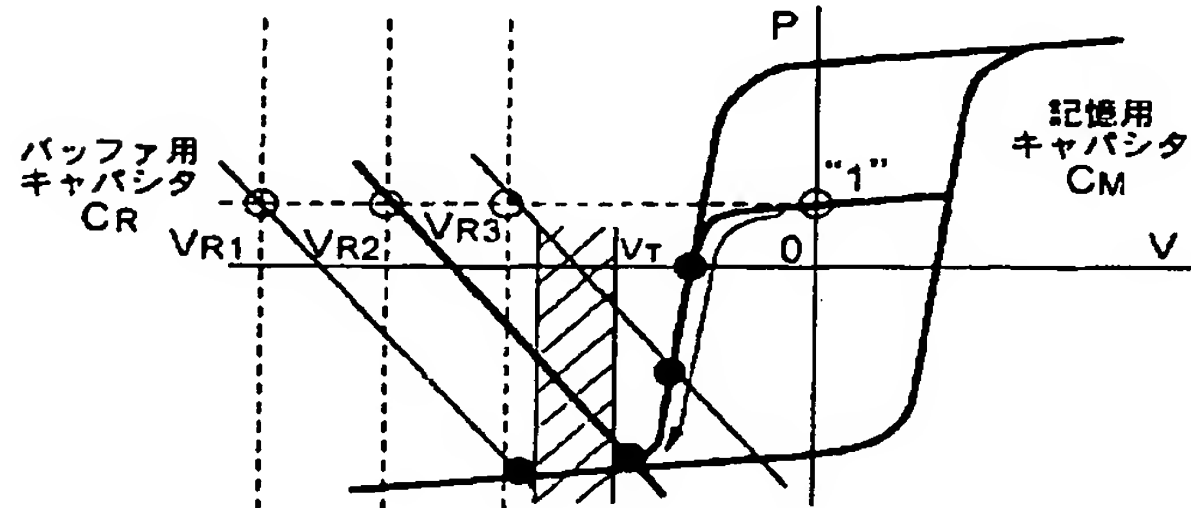


【図16】

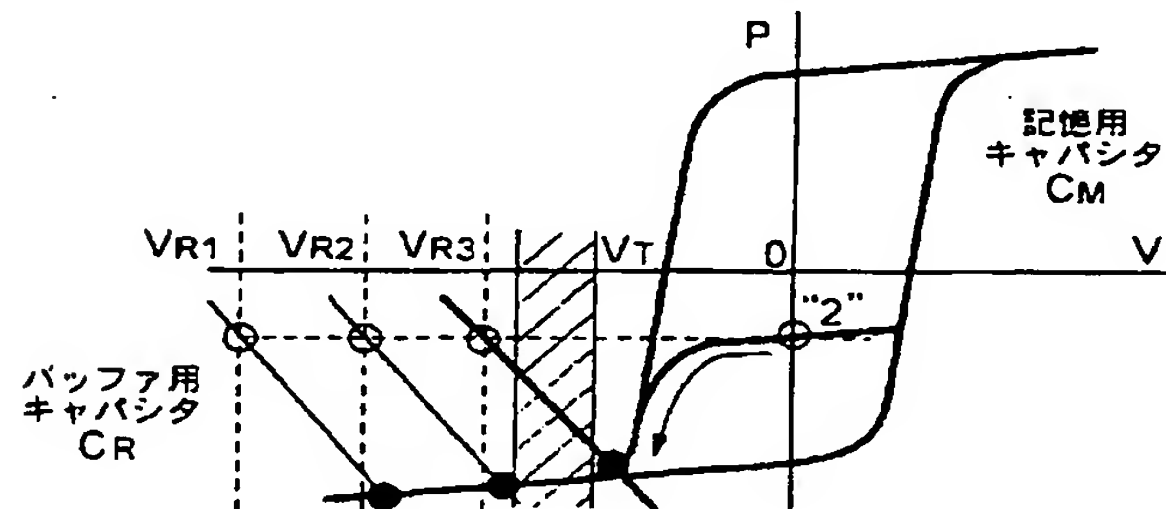
(a) 記憶"0"の読み出し動作



(b) 記憶"1"の読み出し動作



(c) 記憶"2"の読み出し動作



(d) 記憶"3"の読み出し動作

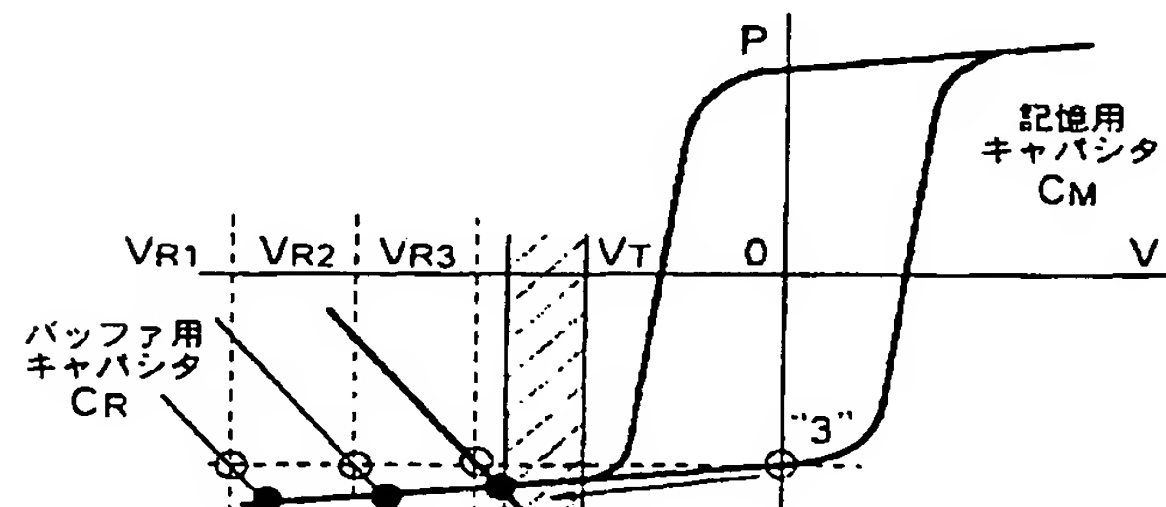
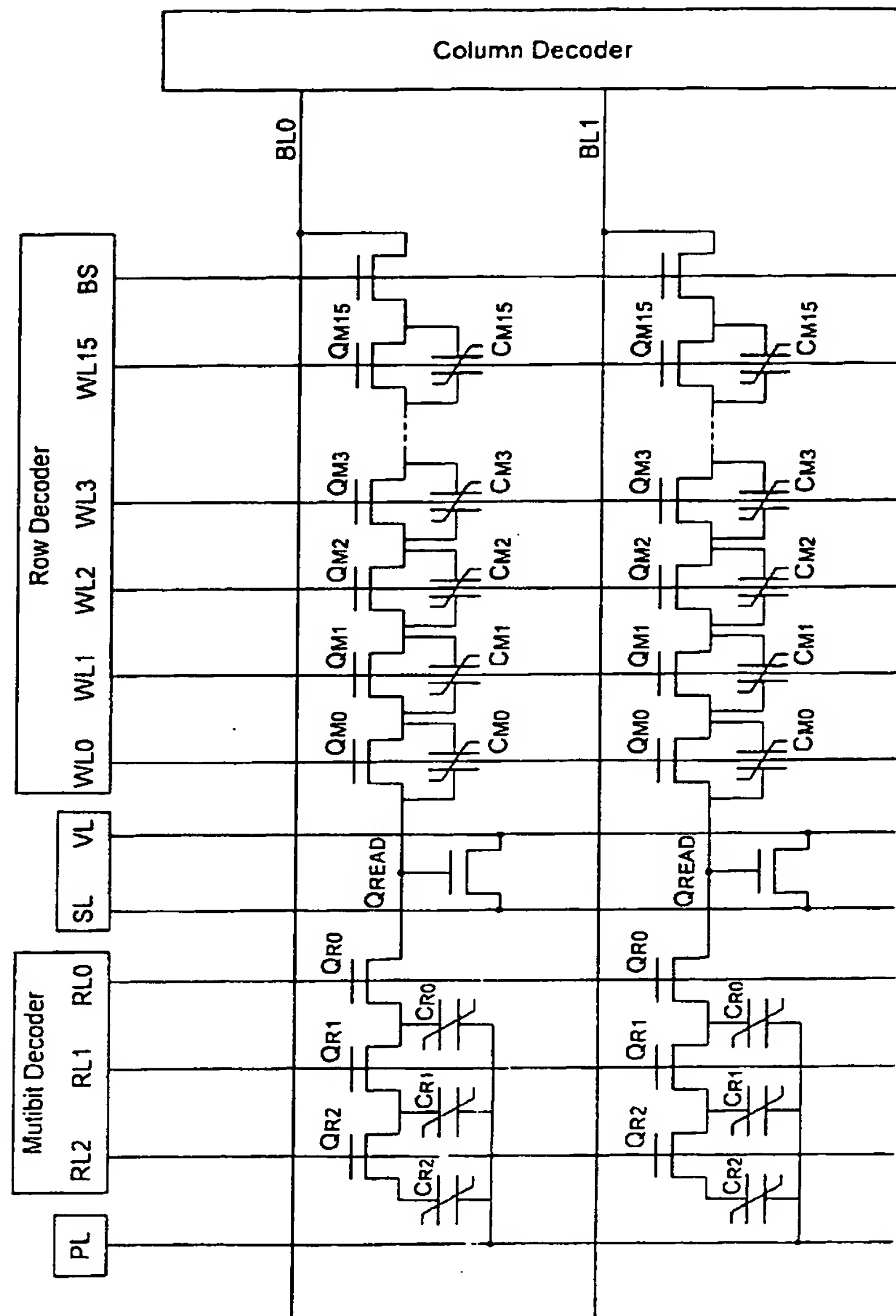
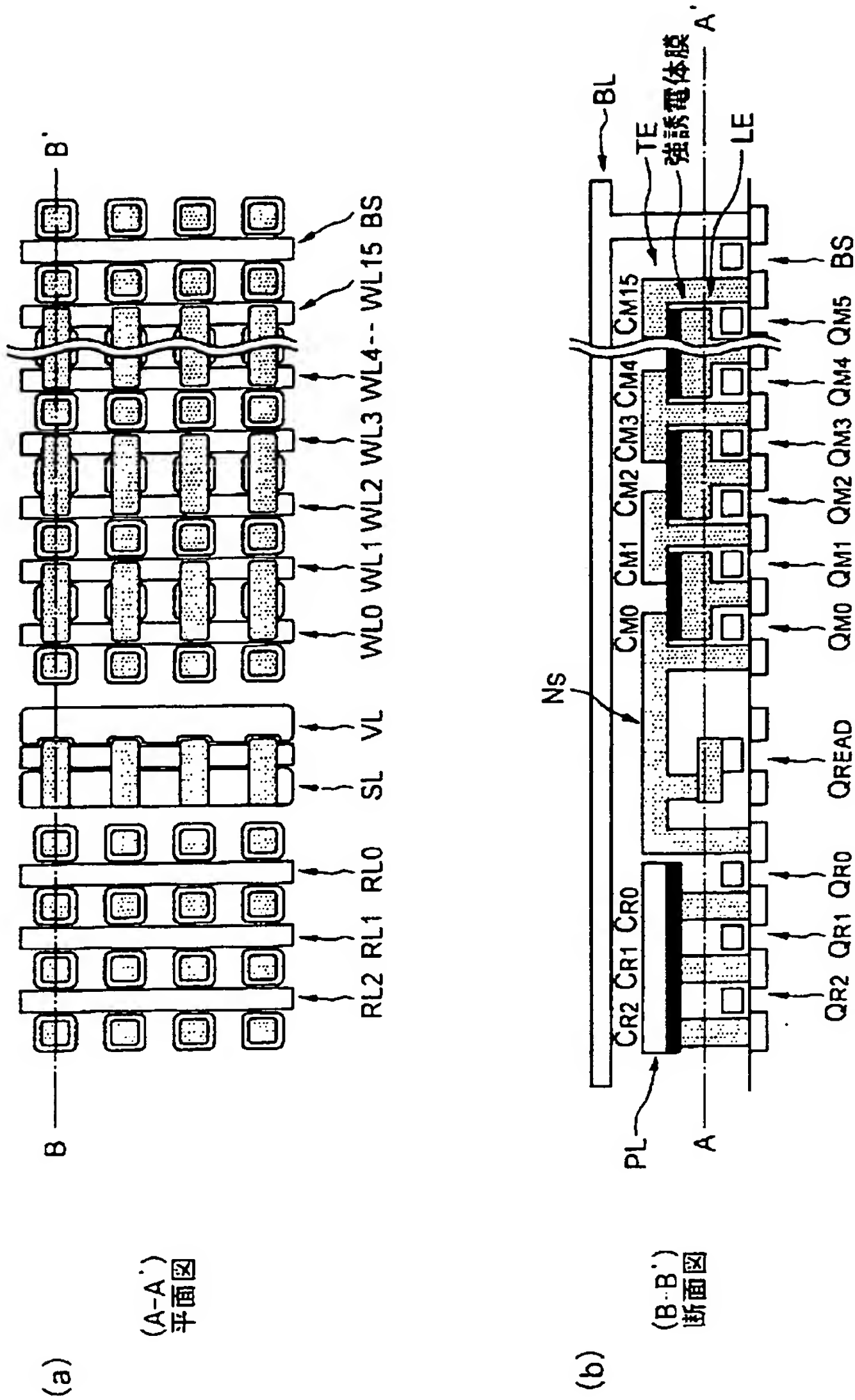


Figure 1 is a schematic diagram of a memory array structure. The diagram is divided into two main sections, BL0 and BL1, separated by a dashed line. Each section contains a grid of memory cells. The columns are labeled RL0, RL1, RL2, ..., RL15, and the rows are labeled WL0, WL1, WL2, ..., WL15. The cells are connected to a common QREAD line. The diagram also shows the connection to a readout line (読出線) and a readout signal (読出線Tr).

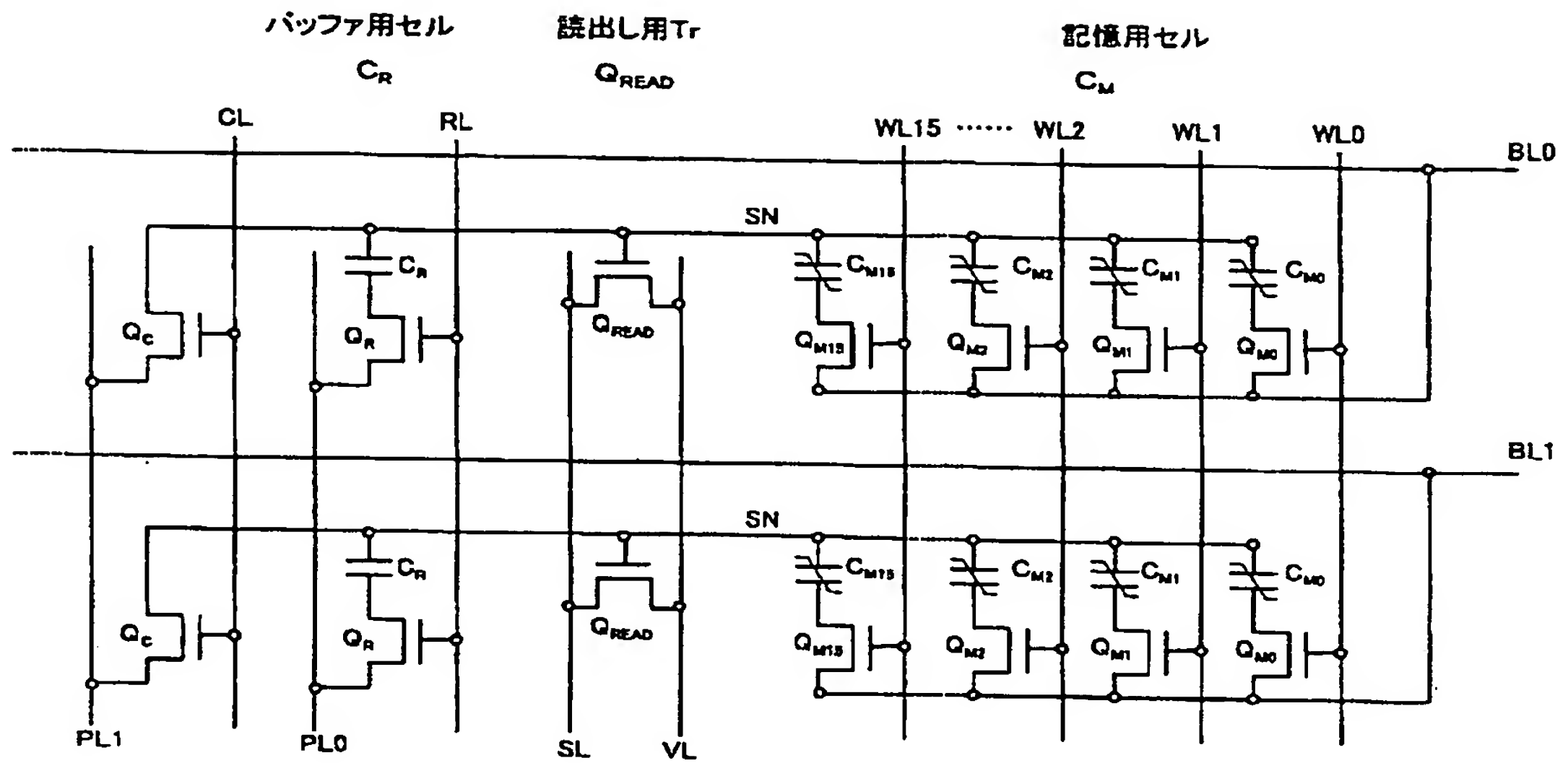
【図18】



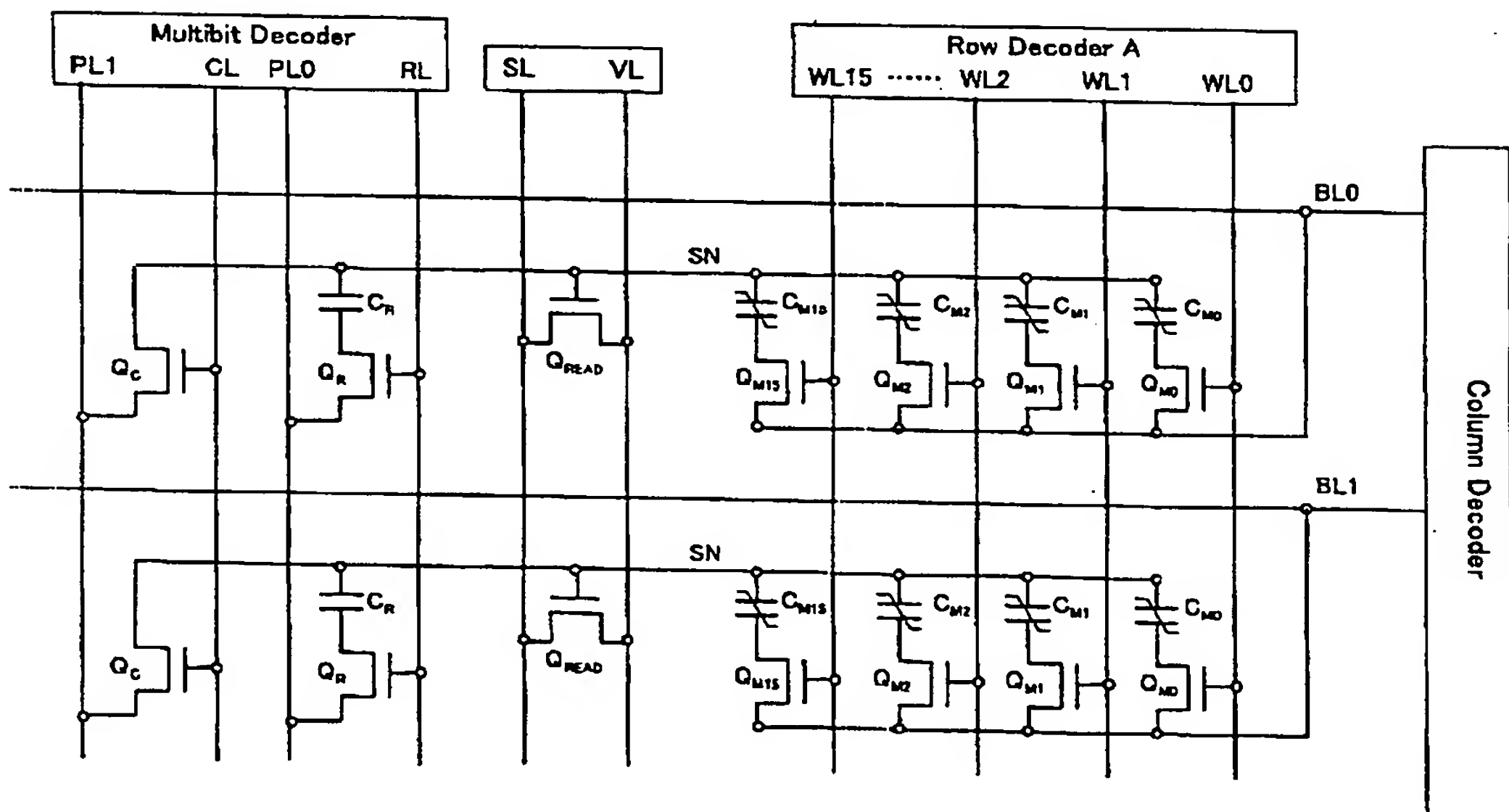
【図20】



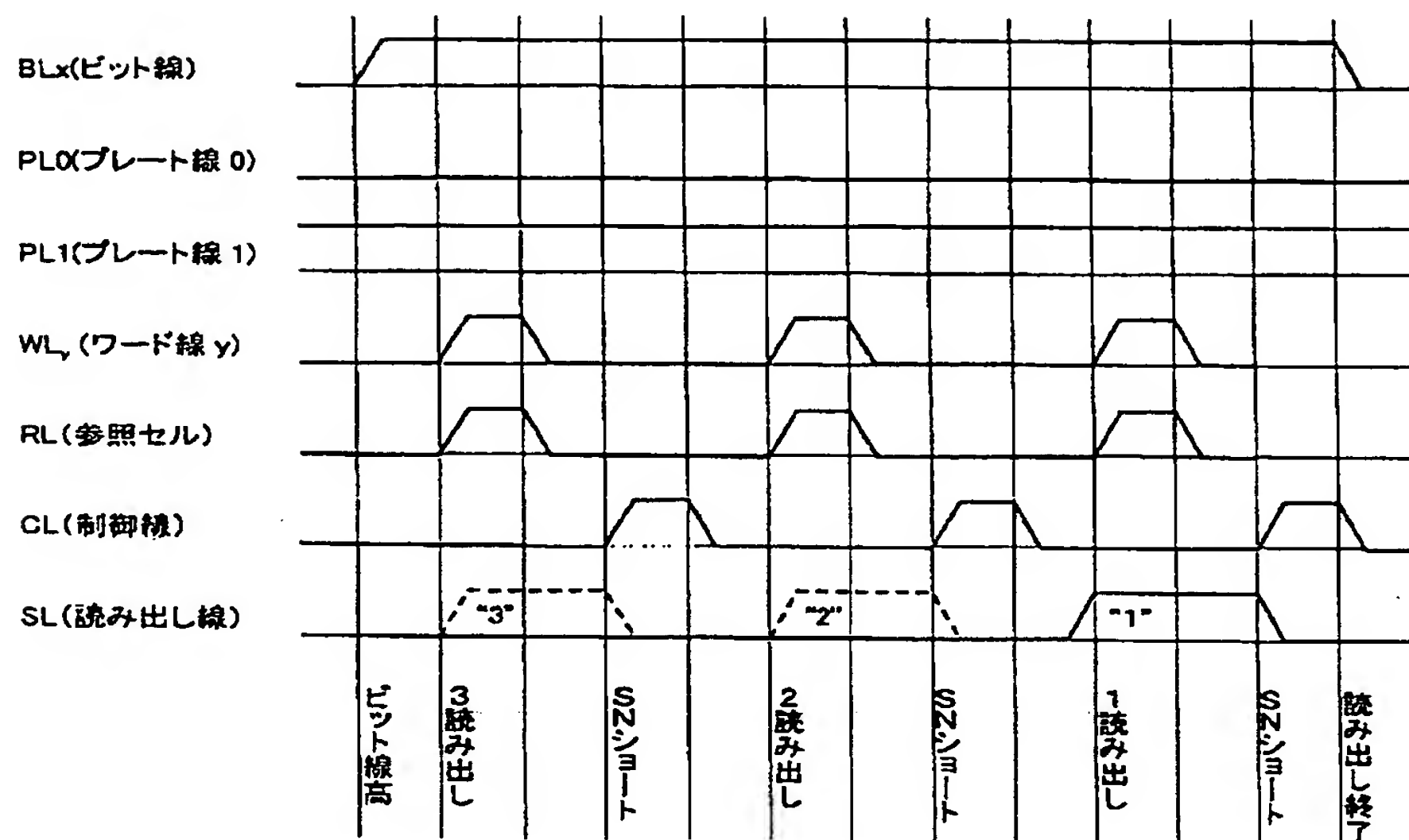
【図 21】



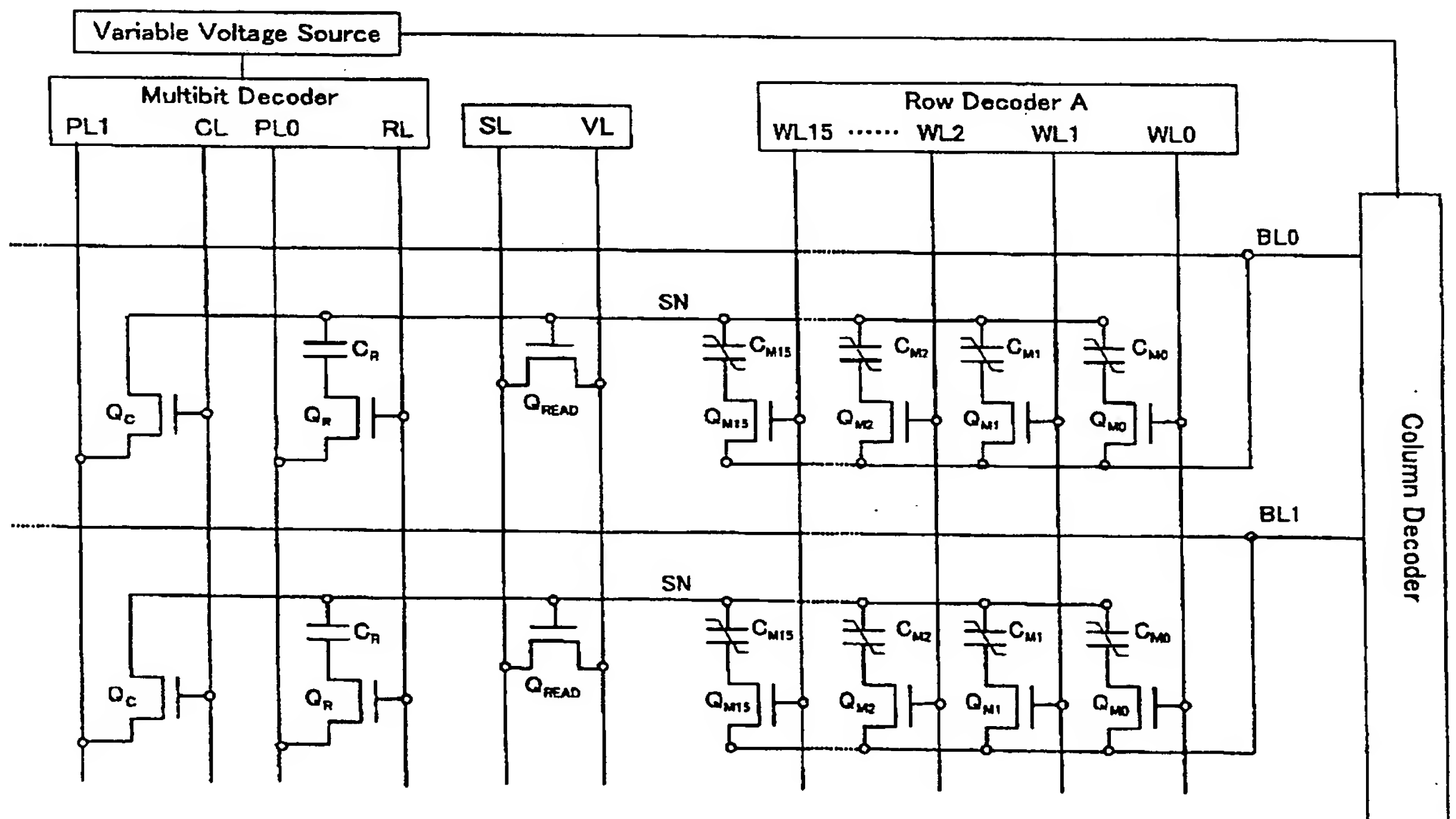
【図 22】



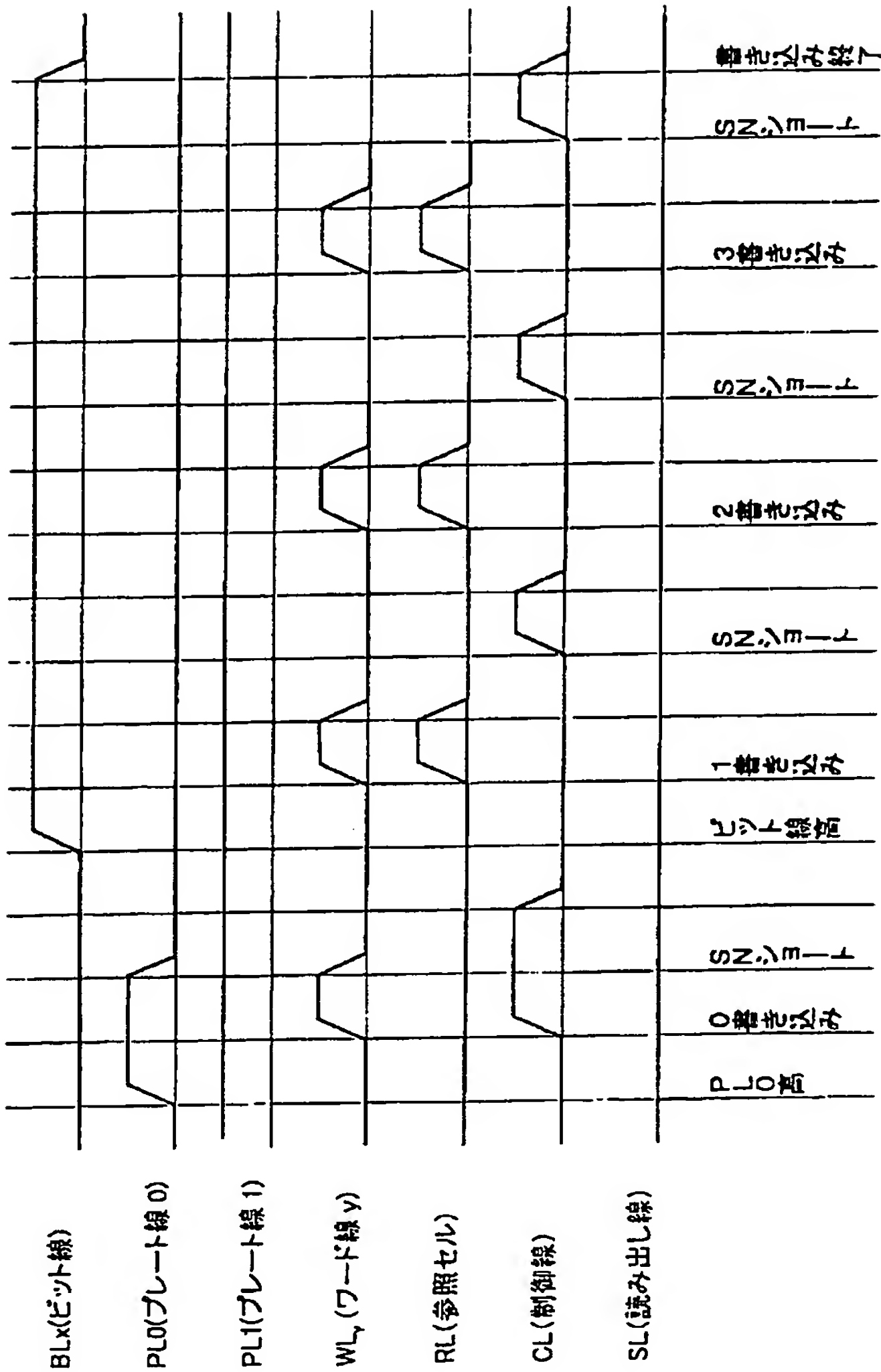
【図23】



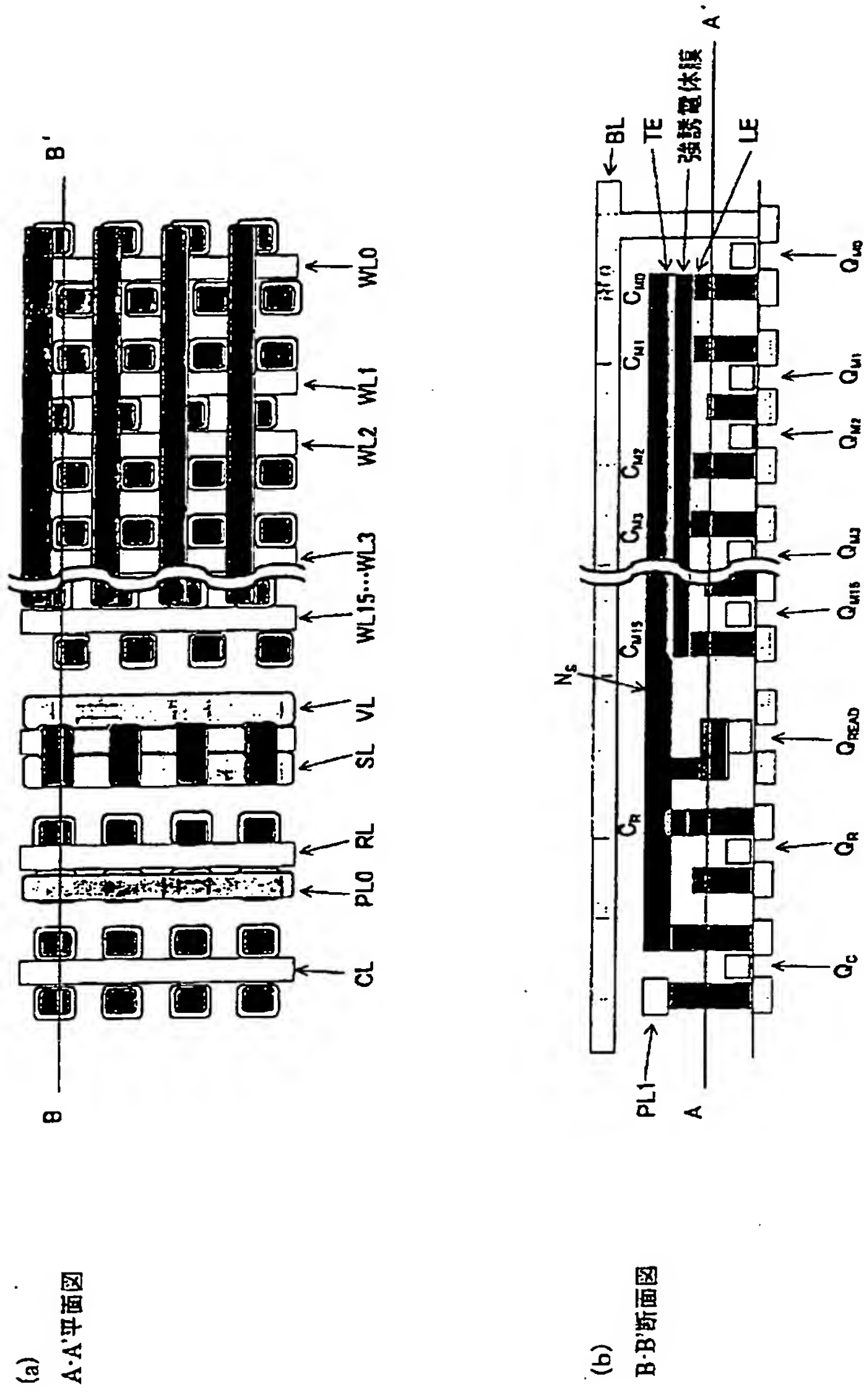
【図26】



【図24】



【図25】



【図27】

